日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００３年　９月１７日

出願番号
Application Number: 特願２００３－３２３９２３

[ST. 10/C]: ［ＪＰ２００３－３２３９２３］

出願人
Applicant(s): 株式会社ルネサステクノロジ

２００３年１０月２２日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００３－３０８７０３１

【書類名】　特許願
【整理番号】　R03001481
【提出日】　平成15年 9月17日
【あて先】　特許庁長官殿
【国際特許分類】　G06F 12/14
【発明者】
　【住所又は居所】　東京都千代田区丸の内二丁目４番１号　株式会社ルネサステクノロジ内
　【氏名】　奥田　裕一
【特許出願人】
　【識別番号】　503121103
　【氏名又は名称】　株式会社ルネサステクノロジ
【代理人】
　【識別番号】　100089071
　【弁理士】
　【氏名又は名称】　玉村　静世
　【電話番号】　03-5217-3960
【先の出願に基づく優先権主張】
　【出願番号】　特願2002-362672
　【出願日】　平成14年12月13日
【手数料の表示】
　【予納台帳番号】　011040
　【納付金額】　21,000円
【提出物件の目録】
　【物件名】　特許請求の範囲　1
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1

【書類名】特許請求の範囲
【請求項１】
初期状態でスタティックラッチに第１状態を保持し、第１状態のスタティックラッチを構成する非導通状態の光検出用半導体素子に光が照射されて第２状態に反転する光ディテクタをメモリセルアレイに有し、前記光ディテクタによる光検出を内部動作の停止に利用することを特徴とする半導体集積回路。
【請求項２】
前記非導通状態の光検出用半導体素子はスタティックラッチを構成するＭＯＳトランジスタであることを特徴とする請求項１記載の半導体集積回路。
【請求項３】
前記光検出用半導体素子としてダイオード素子を備え、前記ダイオード素子は前記ＭＯＳトランジスタに並列に逆バイアス接続されることを特徴とする請求項２記載の半導体集積回路。
【請求項４】
電流径路に直列に配置され動作可能な状態において導通状態にされる半導体素子と非導通状態にされる光検出用半導体素子を有し、非導通状態の光検出用半導体素子に光が照射されて変化する電流駆動力と導通状態の半導体素子の電流駆動力との比に応じて導通状態の半導体素子と非導通状態の光検出用半導体素子の接続点の電位が変化する光ディテクタを備え、前記光ディテクタによる光検出を内部動作の停止に利用することを特徴とする半導体集積回路。
【請求項５】
前記非導通状態の光検出用半導体素子はＭＯＳトランジスタであることを特徴とする請求項４記載の半導体集積回路。
【請求項６】
前記非導通状態の光検出用半導体素子は前記電流径路に逆バイアス接続されるダイオード素子であることを特徴とする請求項４記載の半導体集積回路。
【請求項７】
電流径路に感度調整用半導体素子を有する第１回路と、前記第１回路により光検出感度が調整され電流径路に光検出用半導体素子を有する第２回路と、第２回路の出力ノードレベルを検出する第３回路とを有し、前記光検出用半導体素子に光が照射されて電流変化を生ずる前記第２回路の出力ノードレベルに応じ前記第３回路の出力を変化させる光ディテクタを備え、前記光ディテクタによる光検出を内部動作の停止に利用することを特徴とする半導体集積回路。
【請求項８】
前記光検出用半導体素子は前記電流経路を構成するＭＯＳトランジスタであることを特徴とする請求項７記載の半導体集積回路。
【請求項９】
前記光検出用半導体素子は、前記第２回路の電流径路の一部に並列配置されたダイオード素子であり、前記ダイオード素子は逆バイアス接続されることを特徴とする請求項８記載の半導体集積回路。
【請求項１０】
前記ダイオード素子は並列に複数個配置されることを特徴とする請求項９記載の半導体集積回路。
【請求項１１】
前記複数個のダイオード素子は半導体集積回路の半導体チップ上に遍在されていることを特徴とする請求項１０記載の半導体集積回路。
【請求項１２】
メモリセルアレイにスタティック型メモリセルがマトリクス配置されたＳＲＡＭモジュールを有し、前記ＳＲＡＭモジュールのメモリセルアレイに、一部のスタティック型メモリセルに代えて前記光ディテクタを配置したことを特徴とする請求項１記載の半導体集積回

路。
【請求項１３】
前記光ディテクタに代替された前記スタティック型メモリセルの欠損を補うことが可能な冗長構成を有することを特徴とする請求項１２記載の半導体集積回路。
【請求項１４】
前記光ディテクタに代替された前記スタティック型メモリセルの欠損によって生ずるデータエラーの検出及び訂正が可能なＥＣＣ回路を有することを特徴とする請求項１２記載の半導体集積回路。
【請求項１５】
メモリセルアレイに書き換え不可能な不揮発性メモリセルがマトリクス配置されたマスクＲＯＭを有し、前記マスクＲＯＭのメモリセルアレイに、一部の不揮発性メモリセルに代えて前記光ディテクタが配置されたことを特徴とする請求項１記載の半導体集積回路。
【請求項１６】
メモリセルアレイに電気的に書換え可能な不揮発性メモリセルがマトリクス配置されたフラッシュメモリを有し、前記フラッシュメモリのメモリセルアレイに、一部の不揮発性メモリセルに代えて前記光ディテクタが配置されたことを特徴とする請求項１記載の半導体集積回路。
【請求項１７】
クロック信号に同期動作される論理回路モジュールを有し、前記論理回路モジュールに前記光ディテクタが配置されることを特徴とする請求項４記載の半導体集積回路。
【請求項１８】
電源回路又はクロック発生回路を有し、前記電源回路又はクロック発生回路に前記光ディテクタが配置されることを特徴とする請求項７記載の半導体集積回路。
【請求項１９】
前記感度調整用半導体素子の電流駆動力を調整可能であることを特徴とする請求項７記載の半導体集積回路。
【請求項２０】
前記光検出用半導体素子におけるｐｎ接合部のうち、逆バイアス状態にされるｐｎ接合部の面積が他の接合部の面積よりも大きくされ、光に対する感度が同種の他の半導体素子よりも高いことを特徴とする請求項１乃至１９の何れか１項記載の半導体集積回路。
【請求項２１】
前記光ディテクタの光検出用半導体素子以外の半導体素子の上層部を遮光する金属膜又はポリシリコン膜を有することを特徴とする請求項１乃至２０の何れか１項記載の半導体集積回路。
【請求項２２】
前記光検出用半導体素子に逆方向接続のダイオードを並列接続することを特徴とする請求項１、１２、１３又は１４に記載の半導体集積回路。
【請求項２３】
複数個の回路モジュールを有し、各回路モジュールにおいて前記光ディテクタはランダムに配置されることを特徴とする請求項４又は７記載の半導体集積回路。
【請求項２４】
複数個の回路モジュールを有し、各回路モジュールにおいて前記光ディテクタは規則的に配置されることを特徴とする請求項４又は７記載の半導体集積回路。
【請求項２５】
論理回路の基本素子と前記光ディテクタをペアとして備える基本セルが利用されたことを特徴とする請求項４記載の半導体集積回路。
【請求項２６】
前記基本セルを複数分散配置したことを特徴とする請求項２５記載の半導体集積回路。
【請求項２７】
初期化状態でスタティックラッチに第１状態を保持し、第１状態のスタティックラッチを

構成する非導通状態の光検出用半導体素子に光が照射されて第２状態に反転する第１光ディテクタをメモリセルアレイに複数個有し、第１光ディテクタによる光検出信号を内部動作の停止に利用し、

電流径路に直列に配置され動作可能な状態において導通状態にされる半導体素子と非導通状態にされる光検出用半導体素子を有し、非導通状態の光検出用半導体素子に光が照射されて変化する電流駆動力と導通状態の半導体素子の電流駆動力との比に応じて導通状態の半導体素子と非導通状態の光検出用半導体素子との接続点の電位が変化する第２光ディテクタを論理回路モジュールに複数個有し、第２光ディテクタによる光検出を内部動作の停止に利用することを特徴とする半導体集積回路。

【請求項２８】

電流径路に感度調整用半導体素子を有する第１回路と、前記第１回路により光検出感度が調整され電流径路に光検出用半導体素子を有する第２回路と、第２回路の出力ノードレベルを検出する第３回路とを有し、前記光検出用半導体素子に光が照射されて電流変化を生ずる前記第２回路の出力ノードレベルに応じ前記第３回路の出力を変化させる第３光ディテクタをアナログ回路に複数個備え、第３光ディテクタによる光検出を内部動作の停止に利用することを特徴とする請求項２７記載の半導体集積回路。

【請求項２９】

夫々の光ディテクタによる光検出信号の論理和信号を内部を初期化して動作を停止させるリセット信号とすることが可能なリセット回路を有することを特徴とする請求項１乃至２８の何れか１項記載の半導体集積回路。

【請求項３０】

カード基板に、外部インタフェース部と、前記外部インタフェース部に接続された請求項２７又は２８記載の半導体集積回路とを有することを特徴とするＩＣカード。

【請求項３１】

前記光検出信号の論理和信号の伝達径路にアクティブシールド配線が接続されることを特徴とする請求項２９記載の半導体集積回路

【請求項３２】

動作電圧の不所望な低下に応答して変化する電圧検出信号を出力する電圧検出回路と、前記電圧検出信号と前記夫々の光ディテクタによる光検出信号との論理和信号をリセット信号とすることが可能なリセット回路とを更に有することを特徴とする請求項１乃至２８の何れか１項記載の半導体集積回路。

【請求項３３】

内部クロック信号周波数の不所望な変化に応答して変化する周波数検出信号を出力する周波数検出回路と、前記周波数検出信号と前記夫々の光ディテクタによる光検出信号との論理和信号をリセット信号とすることが可能なリセット回路とを更に有することを特徴とする請求項１乃至２８の何れか１項記載の半導体集積回路。

【請求項３４】

所定の内部配線の切断に応答して変化する配線切断検出信号を出力する配線切断検出回路と、前記配線切断検出信号と前記夫々の光ディテクタによる光検出信号との論理和信号をリセット信号とすることが可能なリセット回路とを更に有することを特徴とする請求項１乃至２８の何れか１項記載の半導体集積回路。

【請求項３５】

光検出用半導体素子と、前記光検出用半導体素子以外の半導体素子の上層部を遮光する金属膜又はポリシリコン膜を有する光ディテクタとを備え、前記光検出用半導体素子は初期状態で非導通状態を保持し、非導通状態の前記光検出用半導体素子に光が照射されて導通状態に反転されて得られる前記光ディテクタによる光検出を内部動作の停止に利用することを特徴とする半導体集積回路。

【請求項３６】

前記光ディテクタを複数分散配置したことを特徴とする請求項１２、１５、１６又は３５に記載の半導体集積回路。

【請求項３７】
電流径路に光検出用半導体素子を有する第１回路と、前記第１回路の出力ノードレベルを検出する第２回路とを備え、前記光検出用半導体素子に光が照射されて変化する電流に応じて前記第１回路の出力ノードが第２回路の論理閾値を跨ぐ光ディテクタを有し、前記光検出用半導体素子以外の半導体素子の上層部を遮光する金属膜又はポリシリコン膜が設けられ、前記光ディテクタによる光検出を内部動作の停止に利用することを特徴とする半導体集積回路。

【書類名】明細書
【発明の名称】半導体集積回路及びＩＣカード
【技術分野】
【０００１】
本発明は、半導体集積回路及びＩＣカードに係り、例えばＩＣカード用マイクロコンピュータのような半導体集積回路が保有する暗号鍵等のリバースエンジニアリングの防止に適用して有効な技術に関する。
【背景技術】
【０００２】
半導体技術の発展により、クレジットカード、有価証券等にＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔｓ）を組み込み、情報を暗号化して通信することで、安全で確実な決済を行うことが一般的になってきた。ＩＣを用いたこの方法は、従来の磁気記録を用いた方法に比べ、偽造、なりすまし等が困難であり、エンドユーザー、サービス提供者双方にメリットがある。
【０００３】
暗号アルゴリズムについては長年研究が行われており、通信経路上で傍受した信号から、暗号鍵等を推定することは非常に困難であり、このリスクは事実上無視できる程小さい。問題はＩＣを開封し、リバースエンジニアリングを行うことで、ＩＣ上の内部情報や暗号鍵を直接読み出そうという試みである。リバースエンジニアリングとは、ハードウェアやソフトウェア製品に関して、構造や仕様を分析して技術的情報を明らかにするための技術、またはその行為を言う。
【０００４】
従来は、ＩＣカードへ不正な周波数のクロックを供給したり、電源電圧を急激に上下させたり、強力な電磁波を照射したりで、ＩＣカードを異常動作させ、内部情報や暗号鍵を読み出すという手法が考案された。それに対し、ＩＣ側はそれらの異常な状態を検出することで、内部情報や暗号鍵を読み出されることを防いできた。
【０００５】
例えば特許文献１には、ＩＣカード用ＩＣチップ内に開封センサを設け、開封を検出した場合にＣＰＵがメモリに対して消去動作を行って、機密保護に対する安全性を高める技術が記載される。
【０００６】
特許文献２には、回路構成を封止及び遮光するパッケージの一部に光検出のセンサ部のみに光が照射されるように小窓を形成しておき、光の検出状態で通常に動作するようにすると、不正解析を行う場合にはパッケージを開封し光の悪影響を避けるため暗所で解析が行われるため、光非検出状態では通常とは異なる動作が行なわれるようになり、この異なる動作故に動作解析を行うことができず、記憶情報の不正な読み出しも不可能にするという技術が記載される。
【０００７】
特許文献３は、ＩＣに分散して複数の受光素子が集積され、複数の各受光素子が不揮発性メモリセルに接続された接続ライン、ロジック回路に接続された接続ライン或はロジックエレメントに接続された接続ラインの何れかの接続ラインに接続されて、この接続ラインを遮断し、導通し或は接地ラインに接続することにより接続ラインに関係する回路の正常な動作を阻害することでＩＣが開封されたときに内部情報を保護する技術を開示する。
【０００８】
【特許文献１】特開平１０－３２０２９３号公報
【０００９】
【特許文献２】特開２０００－２１６３４５号公報（段落０００９～００１１）
【特許文献３】特開平１１－１０２３２４号公報
【発明の開示】
【発明が解決しようとする課題】

【００１０】
しかしながら、これらの文献は光の照射よって積極的に誤動作を誘発して統計的な手法で解析を試みるという新たなカードハッキングに対しては考慮されていない。本発明者はこれについて検討した。即ち、近年ＩＣカードへのリバースエンジニアリングの手法として、ＩＣを開封し、強力な光を照射することで半導体素子の誤動作を誘発するという手法が提案されている。そのため、ＩＣカード上に光を照射されたことを検出するセンサを設ける必要がある。
【００１１】
一般的なＩＣに集積される半導体能動素子は、ダイオード、バイポーラトランジスタ、ＭＯＳＦＥＴ（金属酸化膜半導体電界効果トランジスタ：Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）等が存在するが、いずれもその電圧・電流特性はｐ型半導体とｎ型半導体の境界であるｐｎ接合の特性に大きく依存している。
【００１２】
ｐ型半導体は電荷の移動に正の電荷を持つ正孔が支配的であり、ｎ型半導体は負の電荷を持つ自由電子が支配的である。正孔と自由電子は総称してキャリアと呼ばれている。ｐｎ接合部では、正孔と自由電子が再結合するため、キャリアの存在確率が非常に低い、空乏層と呼ばれる領域が出現する。
【００１３】
ｐｎ接合において、ｐ型半導体の電位が高く、ｎ型半導体の電位が低い場合（順バイアスと呼ばれる）、ｐ型半導体中の正孔が電界により加速され空乏層へと流入する。同じく、ｎ型半導体中の自由電子も電界により加速され空乏層へと流入する。空乏層中では正孔と自由電子が再結合する。この現象は連続的に発生するため順バイアス時には電流が流れる。
【００１４】
逆にｐ型半導体の電位が低く、ｎ型半導体の電位が高い場合（逆バイアスと呼ばれる）、電界の向きが逆なので、ｐ型半導体中の正孔及びｎ型半導体中の自由電子は空乏層に流れ込まない。また、空乏層中はキャリアがほとんど存在しないため、空乏層からキャリアが流出することも無い。このため逆バイアス時には電流がほとんど流れない。
【００１５】
一般的に半導体論理回路では、バイポーラトランジスタやＭＯＳＦＥＴをスイッチとして使用しており、逆バイアス状態の高抵抗が非導通状態（ＯＦＦ）となる。ここで逆バイアス状態の空乏層に、光が入射された場合を考える。十分にエネルギーの大きい（波長の短い）光子が半導体中の価電子に衝突すると、価電子が励起され自由電子となり、電子が抜けて正の電荷を持った領域は正孔となる。すなわち光が入射する事で正孔・自由電子が対となって発生する。発生した正孔は電界により加速され、ｐ型半導体へ流出し、自由電子はｎ型半導体へ流出する。光の入射が続く限り正孔・自由電子の発生が続くため、光が入射した場合ｐｎ接合の逆バイアスに電流が流れる事になる。
【００１６】
空乏層にかかる電界が十分大きく、発生した正孔・自由電子対がほとんど再結合すること無しに、空乏層から流出するとすれば、電流の大きさは入射した光子の数に比例する事になる。すなわち、十分に強い光を入射する事で、ＯＦＦ状態の半導体スイッチ素子に、ＯＮ状態の半導体スイッチ素子よりも大きな電流を流すことが出来、回路の誤動作を引き起こすことが出来る。このようにして、積極的に誤動作を誘発し、誤動作により本来出力されるべきでない情報が出力される可能性も有り、これを統計的な手法で解析を試みることによって、カードハッキングが可能にされることがある。
【００１７】
本発明の目的は、光照射により積極的に誤動作を誘発して機密保護情報を不正に獲得するというカードハッキングに対する防御が可能な半導体集積回路、更にはＩＣカードを提供することにある。

【００１８】
本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。
【課題を解決するための手段】
【００１９】
本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。
【００２０】
〔１〕通常、ＩＣが正常動作を行っていれば、内部情報や暗号鍵等が直接外部に出力されることが無いように設計されている。しかし、回路が誤動作を起こしている状態で、内部情報や暗号鍵等を完全に保護することは困難である。よって、光が照射されたことを検出し、回路の動作を停止する（例えばリセット指示により内部状態が初期化されてリセット指示が継続される）ことで内部情報や暗号鍵等が外部に出力されることを防ぐという手法が有効である。
【００２１】
そのため、光ディテクタが必要となる。一般的に光を検出する半導体素子として、半導体撮像素子等に使用されるフォトダイオードが挙げられる。しかし一般的なロジックプロセスには、フォトダイオードが用意されないため、フォトダイオードを採用することはコストの増加につながる。また、フォトダイオードのような特殊な素子を使用することは、光ディテクタの位置を容易に把握されることにつながる。光ディテクタの位置さえ判明してしまえば、ＦＩＢ（Ｆｉｅｌｄ　Ｉｏｎ　Ｂｅａｍ）による金属の堆積等で、光ディテクタをマスクすることが出来るため、防御手法としては弱い。
【００２２】
またＩＣカードのモバイル機器等への搭載を考えると、ＩＣカード自体の消費電力は少なければ少ない程よい。光ディテクタは、通常動作時には特に目的が無いため、できれば待機電力がほぼゼロであることが望ましい。
【００２３】
そこで、ＩＣカードマイコンなどの半導体集積回路に対し、（１）標準的なロジックプロセスで構成され、（２）他の回路と区別がつきにくく、（３）待機電力が極めて小さい、光ディテクタを搭載することにより、光の照射によるリバースエンジニアリングを効果的に防ごうとするものである。そのために以下の手段を講ずる。
【００２４】
〔２〕（スタティックラッチ型）本発明に係る半導体集積回路は、初期状態でスタティックラッチに第１状態を保持し、第１状態のスタティックラッチを構成する非導通状態の半導体素子に光が照射されて第２状態に反転する光ディテクタをメモリセルアレイに複数個有し、光ディテクタによる光検出信号を内部動作の停止に利用する。スタティックラッチ型の光ディテクタをメモリアレイに組み込むことで、光ディテクタを目立たずに配置することができる。
【００２５】
本発明の具体的な形態として、前記非導通状態の光検出用半導体素子はスタティックラッチを構成するＭＯＳトランジスタである。また、前記光検出用半導体素子としてダイオード素子を備え、前記ダイオード素子は前記ＭＯＳトランジスタに並列に逆バイアス接続される。
【００２６】
最適な形態として、メモリセルアレイにスタティック型メモリセルがマトリクス配置されたＳＲＡＭモジュールを有するとき、前記ＳＲＡＭモジュールのメモリセルアレイに一部のスタティック型メモリセルに代えて前記光ディテクタを複数個分散配置する。
【００２７】
光ディテクタが存在する部分にはメモリセルが無くなるが、前記光ディテクタに代替されたスタティック型メモリセルの欠損を補うことが可能な冗長構成を利用することができ

る。或は、前記光ディテクタに代替されたスタティック型メモリセルの欠損によって生ずるデータエラーの検出及び訂正が可能なＥＣＣ回路を利用すればよい。

【００２８】

（プッシュ・プル型）第２の観点による半導体集積回路は、電流径路に直列に配置され動作可能な状態において導通状態にされる半導体素子と非導通状態にされる光検出用半導体素子を有し、非導通状態の光検出用半導体素子に光が照射されて変化する電流駆動力と導通状態の半導体素子の電流駆動力との比に応じて導通状態の半導体素子と非導通状態の光検出用半導体素子の接続点の電位が変化する光ディテクタを複数個有し、光ディテクタによる光検出を内部動作の停止に利用する。この種の光ディテクタはクロック信号に同期動作される論理回路モジュールに適用して、複数個を分散配置するのがよい。プッシュ・プル型の光ディテクタはロジック回路に対して目立たずその存在位置は容易に悟られない。

【００２９】

本発明の具体的な形態として前記非導通状態の光検出用半導体素子は例えばＭＯＳトランジスタである。また、前記非導通状態の光検出用半導体素子は前記電流径路に逆バイアス接続されるダイオード素子である。

【００３０】

（感度差型）第３の観点による半導体集積回路は、電流径路に感度調整用半導体素子を有する第1回路と、前記第１回路により光検出感度が調整され電流径路に光検出用半導体素子を有する第２回路と、第２回路の出力ノードレベルを検出する第３回路とを有し、前記光検出用半導体素子に光が照射されて電流変化を生ずる前記第２回路の出力ノードレベルに応じ前記第３回路の出力を変化させる光ディテクタを複数個有し、光ディテクタによる光検出を内部動作の停止に利用する。望ましい態様として、電源回路及びクロック発生回路に複数個の前記光ディテクタを分散配置するのがよい。感度差型の光ディテクタは常時貫通電流を流す回路形式故にアナログ的回路の内部に配置してもその所在は容易に知り得ない。望ましい態様として、前記感度調整用半導体素子の電流駆動力を調整可能にするのがよい。検出感度の修正もしくは最適化が容易になる。

【００３１】

本発明の具体的な形態では、例えば前記光検出用半導体素子は前記電流径路を構成するＭＯＳトランジスタである。また、前記光検出用半導体素子は前記第２回路の電流径路の一部に並列配置されたダイオード素子であり、前記ダイオード素子は逆バイアス接続される。前記ダイオード素子を並列に複数個配置すれば光検出は更に確実になる。この意味において、前記複数個のダイオード素子は半導体集積回路の半導体チップ上に偏在されるのがよい。

【００３２】

（光検出動作の確実化）光照射により専ら光検出素子の電流駆動力もしくは電流量を他の素子と区別可能に増大させるには、前記光検出用半導体素子におけるｐｎ接合部のうち、逆バイアス状態にされるｐｎ接合部の面積を他の接合部の面積よりも大きくし、光に対する感度が同種の他の半導体素子よりも高いようにすればよい。或は、光検出用半導体素子以外の半導体素子の上層部を遮光する金属膜又はポリシリコン膜を採用すればよい。また、前述のように、前記光検出用半導体素子としてＭＯＳトランジスタに逆方向バイアスのダイオードを並列接続した構成などを採用したり、前記スタティックラッチを電流リミッタ半導体素子を介して電源電位及び回路の接地電位に接続したりする構成によっても、光検出動作の確実化に資することができる。

【００３３】

（光ディテクタの配置）各回路モジュールにおいて前記光ディテクタは基本セルのレイアウトで生じた隙間に配置してよい。結果として、各回路モジュールにおいて前記光ディテクタはランダムに配置される。

【００３４】

また、各回路モジュールに基本セルをレイアウトする前に、予め、各回路モジュールに

おいて前記光ディテクタを規則的なパターン例えば格子状を描いて配置する。先に光ディテクタを規則的に配置するから光ディテクタの密度調整が可能になる。但し、基本セル間に余計な隙間が発生し、チップ占有面積増大の傾向を採ることになる。

【００３５】

光ディテクタを容易に高密度配置できるようにするには、論理回路の基本素子と前記光ディテクタをペアとして備える基本セルを利用するのがよい。

【００３６】

（回路モジュールに対する光ディテクタの最適化）本発明の別の観点による半導体集積回路は、初期状態でスタティックラッチに第１状態を保持し、第１状態のスタティックラッチを構成する非導通状態の半導体素子に光が照射されて第２状態に反転する第１光ディテクタをメモリセルアレイに複数個有し、第１光ディテクタによる光検出信号を内部動作の停止に利用し、また、電流径路に直列に配置され動作可能な状態において導通状態にされる半導体素子と非導通状態にされる半導体素子を有し非導通状態の半導体素子に光が照射されて変化する電流駆動力と導通状態の半導体素子の電流駆動力との比に応じて導通状態の半導体素子と非導通状態の半導体素子の接続点の電位が変化する第２光ディテクタを論理回路モジュールに複数個有し、第２光ディテクタによる光検出信号を内部動作の停止に利用する。

【００３７】

更に、電流径路に感度調整用半導体素子を有する第1回路と、電流径路に光検出用半導体素子を有する第２回路と、第２回路の出力ノードレベルを検出する第３回路とを有し、前記光検出用半導体素子に光が照射されて変化する電流に応じて前記第２回路の出力ノードが第３回路の論理閾値を跨ぐ第３光ディテクタをアナログ回路に複数個有し、光ディテクタによる光検出信号を内部動作の停止に利用する。

【００３８】

夫々の光ディテクタによる光検出信号の論理和信号をリセット信号とすることが可能なリセット回路を有する。光検出の度にリセットがかかれば、積極的に誤動作を誘発して機密保護情報を不正に獲得することは難しくなる。

【００３９】

本発明に係るＩＣカードは、カード基板に、外部インタフェース部と、前記外部インタフェース部に接続された上記半導体集積回路とを有する。

【発明の効果】

【００４０】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【００４１】

すなわち、スタティックラッチのオフ状態で安定している半導体素子に光を照射することで、当該スタティックラッチが反転する事を利用して、光ディテクタを構成することができる。スタティックラッチ型の光ディテクタをメモリアレイの中に組み込むことで、光ディテクタを目立たずに配置することが出来る。その時、光ディテクタが存在する部分にはメモリセルがなくなるが、冗長或はＥＣＣ回路を用いて正常なメモリ機能を保証することができる。

【００４２】

プッシュ・プル型回路の非導通半導体素子に光を照射して出力を反転可能にする構成を光ディテクタに採用すれば、それを目立たずにロジック回路に配置することができる。

【００４３】

電流径路に配置された感度調整用半導体素子に流れる電流に対して光検出用半導体素子に光が照射されて変化する電流に応じて出力を変化させる構成を光ディテクタに採用すれば、それを目立たずに電源回路等のアナログ回路やクロック発生回路に配置することができる。

【００４４】

光ディテクタの光検出用半導体素子を金属等で覆うことにより、光ディテクタの動作をより確実にすることができる。光ディテクタの感度調整は、光検出用の半導体素子の逆バイアスｐｎ接合部の面積調整、ダイオードの追加、電流制限、光検出ＭＯＳトランジスタとの電流を比較するＭＯＳトランジスタのＷ／Ｌ調整等で行うことができる。

【００４５】

上記半導体集積回路をＩＣカードなどに採用することにより、積極的に半導体集積回路の誤動作を誘発して機密保護情報を不正に獲得するというカードハッキングに対する防御が可能になる。

【発明を実施するための最良の形態】

【００４６】

図１に本発明の第１実形態である、ＳＲＡＭ型光ディテクタ１００を示す。図１に示した通りＳＲＡＭ型光ディテクタ１００は、６トランジスタ型ＳＲＡＭメモリセルと同様の構成となっている。即ち、ｐチャンネル型ＭＯＳトランジスタ１１３，１１４とｎチャンネル型ＭＯＳトランジスタ１１１，１１２から成るスタティックラッチ１２０を主体に、その一方の入出力ノードがｎチャンネル型トランスファＭＯＳトランジスタＭＯＳ１１５を介して電源電位ＶＤＤに、他方の入出力ノードがｎチャンネル型トランスファＭＯＳトランジスタＭＯＳ１１６を介して回路の接地電位ＶＳＳに接続され、双方のトランスファＭＯＳトランジスタ１１５，１１６はリセット信号１０１によりスイッチ制御されるように構成される。

【００４７】

一般的なＩＣカードは、ＣＰＵ（中央演算処理装置：Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ），ＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ），ＲＯＭ（Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ），ＥＥＰＲＯＭ（Ｅｌｅｃｔｏｒｉｃａｌ　Ｅｒａｓａｂｌｅ　Ｐｒｏｇｒａｍａｂｌｅ　ＲＯＭ）等を１チップに集積したＳＯＣ（Ｓｙｓｔｅｍ　Ｏｎ　Ｃｈｉｐ）によって構成される。よって、ＩＣカード用の製造プロセスでＳＲＡＭを構成することができ、ＳＲＡＭ領域にＳＲＡＭ型光ディテクタ１００を配置することで、光ディテクタの存在が目立たなくなる。言うまでもなく、光ディテクタ１００の待機時電力はほぼゼロである。

【００４８】

前記ＳＲＡＭ型光ディテクタ１００の動作について説明する。まずＩＣカードに電源が投入された時点で、１０１はリセット信号に繋がっていて、パワーオンリセットの働きで、リセット信号１０１がハイレベル（Ｈｉ）になり、トランスファＭＯＳトランジスタ１１５，１１６がオンになる。トランスファＭＯＳトランジスタ１１５のソースは電源電位ＶＤＤに接続、トランスファＭＯＳトランジスタ１１６のソースは接地電位ＶＳＳに接続されているため、センサ出力１０２の電位はローレベル（Ｌｏ）に、ノード１０３の電位はＨｉにリセットされる。この時、ＭＯＳトランジスタ１１１，１１４はオン、ＭＯＳトランジスタ１１２，１１３はオフ状態となる。オフ状態のＭＯＳトランジスタ１１２，１１３に光が入射する事で、ＭＯＳトランジスタ１１２，１１３がオンとなる。入射する光子の数が十分多くＭＯＳトランジスタ１１２，１１３の抵抗がＭＯＳトランジスタ１１１，１１４の抵抗を下回れば、前記スタティックラッチ１２０が反転し、ノード１０３がＬｏに、センサ出力１０２の電位はＨｉに遷移する。この動作により光の照射を検出することができる。

【００４９】

図１の例では６トランジスタ型ＳＲＡＭメモリセルを基にした光ディテクタを示したが、ＳＲＡＭメモリセルには他にも抵抗負荷を用いた４トランジスタ型を始めとしてさまざまな形式が提案されている。言うまでもないことであるが、ＳＲＡＭメモリセルの形式に拘わらず、オフになっているＭＯＳトランジスタに光が入射してスタティックラッチ１２０が反転するという条件を満足する如何なる構成によっても、光ディテクタを構成することが可能である。

【００５０】

ＭＯＳトランジスタ１１２，１１３に入射したのと同じだけの光子数が、ＭＯＳトランジスタ１１１，１１４にも入射した場合、ＭＯＳトランジスタ１１１，１１４にも電流が流れスタティックラッチ１２０は反転しにくくなる。これを防ぐにはいくつかの方法が考えられる。一つには、ＭＯＳトランジスタ１１１，１１４の上層を金属で覆ってしまうという方法である。図２にＳＲＡＭ型光ディテクタ１００のレイアウト概略図を示す。一般的に６トランジスタ型ＳＲＡＭメモリセルはレイアウト面積を削減するために、図２のような配置にする。この時、ハッチングで示した部分の上層を金属で覆うことにより、ＭＯＳトランジスタ１１２，１１３以外に光子が入射する事はない。

【００５１】

直接遮光するほかに、ＭＯＳトランジスタの光に対する感度を変化させることもできる。図３にオフ状態のｎチャンネル型ＭＯＳトランジスタ３００を示す。３０１はｐ型ウェル拡散領域，３０２はドレイン拡散領域、３０３はソース拡散領域、３０４はウェル給電拡散領域、３１１はドレイン端子、３１２はゲート端子、３１３はソース端子、３１４は基板端子、３２０は入射する光子である。各端子はゲート端子３１２、ソース端子３１３、基板端子３１４が接地電位ＶＳＳであり、ドレイン端子が電源電位ＶＤＤとなり、本ＭＯＳトランジスタ３００はオフとなっている。

【００５２】

半導体に十分なエネルギーを持った光子が入射すると、正孔・自由電子対が発生する。逆バイアス状態のｐｎ接合に正孔・自由電子対が発生した場合には、発生したキャリアにより、逆バイアスにも電流が流れる。図３において、ｐ型ウェル拡散領域３０１とドレイン拡散領域３０２のｐｎ接合が逆バイアスになっている。よって、オフ状態のｎチャンネル型ＭＯＳトランジスタ３００に光子３２０が入射する事による漏れ電流は、主にドレイン３１１から基板３１４へ流れる。図３はｎチャンネル型ＭＯＳトランジスタであるがｐチャンネル型ＭＯＳトランジスタの場合も同様である。

【００５３】

そこで、前記ＭＯＳトランジスタ１１２、１１３のドレイン拡散面積を広くレイアウトする。ドレイン拡散面積を広くすることによりｐｎ接合部の空乏層領域が拡大し、光子が一様に入射するとすれば、ドレイン面積が大きければそれだけ漏れ電流が大きくなる。よって、ＭＯＳトランジスタ１１１，１１４と比較してＭＯＳトランジスタ１１２，１１３のドレイン面積を大きくレイアウトすれば、同様な光がＭＯＳトランジスタ１１１～１１４へ入射したとしても、よりスタティックラッチ１２０が反転しやすくなる。

【００５４】

もちろん言うまでもないことであるが、金属による遮光とドレイン面積の増大を併用することは可能である。

【００５５】

図４に前記ＳＲＡＭ型光ディテクタ１００の配置の例を示す。ＩＣカード上のＳＲＡＭブロック４００は、図４のように、メモリセルアレイ４０１、冗長セルアレイ４０２、冗長プログラム回路４０３、ロウデコーダ４０４、カラムデコーダ４０５、カラムスイッチアレイ４０６、ＥＣＣ（ｅｒｒｏｒ　ｃｏｒｒｅｃｔｉｎｇ　ｃｏｒｄ）回路４０７、センスアンプ４０８、ライトアンプ４０９及びタイミングジェネレータ４１０を有して成る。メモリセルアレイ４０１はマトリクス配置されたスタティックメモリセルを有し、スタティックメモリセルの選択端子は行毎にワード線ＷＬに接続され、スタティックメモリセルのデータ入出力端子は列毎にビット線ＢＬに接続される。ロウデコーダ４０４はロウアドレス信号ＲＡＤＲをデコードしてワード線選択信号を形成する。相補ビット線ＢＬはカラムスイッチアレイ４０６のスイッチを介してコモンデータ線ＣＤに接続可能される。カラムアドレスデコーダはカラムアドレス信号ＣＡＤＲをデコードしてコモンデータ線ＣＤに導通させるべき相補ビット線ＢＬをカラムスイッチアレイ４０６のスイッチを用いて選択する。

【００５６】

センスアンプ４０８はメモリセルからコモンデータ線ＣＤに読み出された記憶情報をセ

ンスしてＥＣＣ回路４０７に供給する。ライトアンプ４０９はメモリセルへの書き込み情報に従ってコモンデータ線ＣＤをドライブする。

【００５７】

前記ＥＣＣ回路４０７は外部からの書き込みデータにＥＣＣコードを付加して、これを書き込み情報として書き込みアンプ４０９に供給し、また、センスアンプ４０８からコモンデータ線ＣＤに読み出された読み出し情報を入力してこれに付随するＥＣＣコードを用いて読み出しデータに誤りが有るかを判別し、誤りが有ればこれを訂正して出力する。

【００５８】

前記冗長セルアレイ４０２はメモリセルアレイ４０１の不良ビットを救済するための冗長メモリセルを有し、不良ビットをワード線単位又は相補ビット線単位で置き換え可能にされる。ワード線単位又は相補ビット線単位の置き換えるべき不良アドレスは冗長プログラム回路４０３に設定され、設定された不良アドレスにアクセスアドレスが一致したとき、ワード線又はビット線の置き換えが行なわれる。尚、冗長構成それ自体については既に公知であるからここではその詳細について説明を省略する。

【００５９】

図４のメモリセルアレイ４０１において、桝目は一つ一つがＳＲＡＭのスタティックメモリセル（単にＳＲＡＭセルとも記す）を示している。このうち斜線で示したＳＲＡＭセルを、ＳＲＡＭ型光ディテクタ１００で置き換える。図４のようにＳＲＡＭ型光ディテクタ１００をランダムに配置することで、リバースエンジニアリングをより困難にすることができる。

【００６０】

メモリセルアレイ４０１において前記夫々のＳＲＡＭ型光ディテクタ１００はメモリセルのワード線及びビット線とは接続されず、ビット線とは異なる信号配線を用いて前記光検出信号１０２をＳＲＡＭモジュールの外部に出力するようになっている。複数のＳＲＡＭ型光ディテクタ１００の夫々の前記光検出信号１０２はワイアード・オア接続或はオアゲートを介して外部に出力されればよい。

【００６１】

ＳＲＡＭセルをＳＲＡＭ型光ディテクタ１００に置き換えることで、そのＳＲＡＭセルはメモリセルとしては使用できなくなり、これによってＳＲＡＭとしての機能に問題が生じてはならない。そこで、前記冗長用の冗長セルアレイ４０２と冗長プログラム回路４０３を利用する。即ち、ＳＲＡＭ型光ディテクタ１００を、冗長セルアレイ４０２のメモリセルで代替することで、ＳＲＡＭとしての機能を損なわずに、ＳＲＡＭ型光ディテクタ１００を配置することができる。或は、冗長用の構成を利用しなくても、前記ＥＣＣ回路４０７を利用することにより、読み出し時にＳＲＡＭ型光ディテクタ１００に置き換えられたビットラインは不定になるが、センスアンプ４０８からはＨｉレベルかＬｏレベルが出力されることにより、メモリセルの欠落によって生ずる誤りを訂正して対処することができる。冗長を用いて光ディテクタ素子を代替しなくても済む。また、ＳＲＡＭ型光ディテクタ１００に対する置き換えがメモリセルの欠陥救済に影響を与えることがない。ＥＣＣによる誤り訂正を可能にするには、ＳＲＡＭ型光ディテクタ１００はＥＣＣ回路による誤り訂正能力以下になるように分散配置されることが必要である。

【００６２】

図５に第２例である、ダイオード追加ＳＲＡＭ型光ディテクタ５００を示す。ダイオード追加ＳＲＡＭ型光ディテクタ５００は、ＳＲＡＭ型光ディテクタ１００のＭＯＳトランジスタ１１２，１１３に並列にダイオード５１１，５１２を追加したものである。遮光を行う場合は、ダイオード５１１，５１２にも光が当たるようにする。なお、特に制約を受けるものではないが、ダイオード５１１はｎ型ウェル領域のｐ型拡散層で構成され、ダイオード５１２はｐ型ウェル領域のｎ型拡散層で構成されるものとする。

【００６３】

基本的な動作は、ＳＲＡＭ型光ディテクタ１００と同様であるため省略する。追加したダイオードは、ＭＯＳトランジスタ１１２，１１３のドレイン・基板のｐｎ接合に並列し

たｐｎ接合である。そのため、ＭＯＳトランジスタ１１２，１１３のドレイン面積を増加したものと同様の効果を持つ。ダイオードとして独立させることで、レイアウトの自由度が増し、ドレイン面積増大では対応できないほど大きなｐｎ接合を持たせることも可能である。また、ＳＲＡＭスタティックラッチ１２０とダイオードが近接して配置している必要は必ずしも無いため、ダイオード５１１，５１２を分離してレイアウトすることで、さらにレイアウトの自由度を増やすとができる。

【００６４】

図６に第３例である、電流リミッタ追加ＳＲＡＭ型光ディテクタ６００を示す。電流リミッタ追加ＳＲＡＭ型光ディテクタ６００は、ダイオード追加ＳＲＡＭ型光ディテクタ５００におけるＳＲＡＭラッチの電源電位ＶＤＤ及びグラウンドＶＳＳに、電流リミッタＭＯＳトランジスタ６１１，６１２を追加したものである。

【００６５】

電流リミッタ追加ＳＲＡＭ型光ディテクタ６００の動作について説明する。まず、ＳＲＡＭ型光ディテクタ１００と同様、パワーオンリセットの働きで、リセット信号１０１がＨｉになり、トランスファＭＯＳトランジスタ１１５，１１６がオンになる。トランスファＭＯＳトランジスタ１１５のソースは電源電位ＶＤＤに接続、トランスファＭＯＳトランジスタ１１６のソースは接地電位ＶＳＳに接続されているため、センサ出力１０２の電位はＬｏに、ノード１０３の電位はＨｉにリセットされる。この時、ＭＯＳトランジスタ１１１，１１４はオン、ＭＯＳトランジスタ１１２，１１３はオフ状態となる。オフ状態のＭＯＳトランジスタ１１２，１１３に光が入射する事で、ＭＯＳトランジスタ１１２，１１３がオンとなる。この時、ＭＯＳトランジスタ１１１，１１４はオン状態のため、スタティックラッチ１２０を構成するＭＯＳトランジスタ１１１～１１４の全てに電流が流れ、スタティックラッチ１２０に直流電流が発生する。直流電流が流れることで、電流リミッタＭＯＳトランジスタ６１１のドレイン電位が上がり、電流リミッタＭＯＳトランジスタ６１２のドレイン電位が下がる。この効果によりスタティックラッチ１２０の電源電圧が低下し、ラッチが反転しやすくなる。すなわち光子数に対する光ディテクタの感度が増加するということである。ＳＲＡＭ型光ディテクタ１００及び、ダイオード追加ＳＲＡＭ型光ディテクタ５００の光感度は、基本的にｐｎ接合面積で調整するが、本電流リミッタ追加ＳＲＡＭ型光ディテクタ６００の感度は、電流リミッタＭＯＳトランジスタ６１１，６１２の電流駆動力で調整することができ、設計が容易になる。

【００６６】

以上、ＳＲＡＭセルを基にした光ディテクタの構成について説明してきた。ＳＲＡＭは、ＩＣカードの中でもワークエリアとして使用され、リバースエンジニアリングの標的とされることが多い。よってＳＲＡＭアレイに光ディテクタを埋め込み、リバースエンジニアリングを困難にすることは重要である。他にも、ＣＰＵ部のフリップフロップ等に誤動作を誘発し、リバースエンジニアリングを行うという手法も考えられる。それを防ぐためには、標準ロジックセルの規格に従った（セル高さ，幅等）光ディテクタがあれば都合が良い。もちろんＳＲＡＭ型光ディテクタを、標準ロジックセルの規格に従いレイアウトすれば問題ないが、より標準ロジックセルに適合した回路形式があればなお良い。以下、標準ロジックセルの規格に合わせてレイアウトすることを前提とした光ディテクタの構成について説明する。

【００６７】

図７に第４例である、インバータ型光ディテクタ７００を示す。７０１は負論理イネーブル信号、７０２はディテクタ出力信号、７０３はセンサ信号、７１１は感度調整ＭＯＳトランジスタ、７１２は光検出ＭＯＳトランジスタ、７１３は出力インバータ、ＶＤＤは電源電位、ＶＳＳはグラウンド電位である。

【００６８】

インバータ型光ディテクタ７００は負論理イネーブル信号７０１がＬｏに落ち、感度調整ＭＯＳトランジスタ７１１がオンになることで起動する。光子が入射していない場合、光検出ＭＯＳトランジスタ７１２のゲート・ソースが短絡されているため、光検出ＭＯＳ

トランジスタ７１２はオフである。よって光子が入射していない場合、センサ信号７０３は電源電位、ディテクタ出力７０２はグラウンド電位ＶＳＳである。光検出ＭＯＳトランジスタ７１２に光子が入射すると電流が流れ、電流駆動力の比によりセンサ信号７０３が低下する。光子数が一定以上となり、センサ信号７０３の電位が出力インバータ７１３の論理スレッショルド（論理閾値電圧）を下回ると、ディテクタ出力７０２がＨｉとなり、光が検出される。

【００６９】

図８に第５例である、バイアストインバータ型光ディテクタ８００を示す。８０１は負論理イネーブル信号、８０２は正論理イネーブル信号、８０３はバイアスノード、８０４はセンサ信号、８０５はディテクタ出力信号である。８１１，８１５，８１９はｐチャンネル型電流制限ＭＯＳトランジスタである。８１４，８１８，８２２はｎチャンネル型電流制限ＭＯＳトランジスタである。８１３，８２１はｎチャンネル型感度制御ＭＯＳトランジスタ、８１７はｎチャンネル型光検出ＭＯＳトランジスタである。これらの素子のうち、光を当てるのは光検出ＭＯＳトランジスタ８１７のみで、他の素子は金属膜で覆いをする。ここでＭＯＳトランジスタのＷ，Ｌの値は、８１１＝８１５＝８１９、８１２＝８１６＝８２０、８１３＝８２１、８１４＝８１８＝８２２と設計される。

【００７０】

負論理イネーブル信号８０１がＨｉ、正論理イネーブル信号８０２がＬｏの時、バイアストインバータ型光ディテクタ８００はオフである。ＭＯＳトランジスタ８１１，８１４，８１５，８１８によって電流が流れなくなり、センサ信号８０４はＭＯＳトランジスタ８２３によりプルアップされ、ディテクタ出力信号８０５はグラウンド電位ＶＳＳで固定される。

【００７１】

負論理イネーブル信号８０１がＬｏ，正論理イネーブル信号８０２がＨｉに切り替わると、バイアストインバータ型光ディテクタ８００が起動し、ＭＯＳトランジスタ８１１～８１４によって構成されるクロックドインバータ型のバイアス回路のネガティブフィードバックによりバイアスノード８０３の電位が決定する。この時、ＭＯＳトランジスタのＷ，Ｌの値は、８１１＝８１９、８１２＝８２０、８１３＝８２１、８１４＝８２２と設計されているため、バイアスノード８０３の電位はＭＯＳトランジスタ８１９～８２２によって構成されるインバータの論理スレッショルドに等しい。ここでもしＭＯＳトランジスタ８１３＝８１７と設計されていれば、センサ信号８０４の電位もバイアスノード８０３の電位と等しくなるはずである。実際のＷ／Ｌの値はＭＯＳトランジスタ８１３＞８１７と設計しておく。短チャネル効果の影響をなくすため、Ｌを等しくＷの値を８１３＞８１７と設計することが望ましい。このように設計を行うことで、ＭＯＳトランジスタ８１３と８１７の電流駆動力の違いからセンサ信号８０４の電位は、バイアスノード８０３の電位より高くなり、ディテクタ出力信号８０５はグラウンド電位付近で安定する。

【００７２】

光検出ＭＯＳトランジスタ８１７に光子が入射すると、光検出ＭＯＳトランジスタ８１７のドレイン・基板間に漏れ電流が発生する。すると電流が増加するため、センサ信号８０４の電位が低下する。光子数が増加しセンサ信号８０４の電位が、ＭＯＳトランジスタ８１９～８２２によって構成されるインバータの論理スレッショルドを下回った時、ディテクタ出力信号８０５はＨｉに遷移する。

【００７３】

本バイアストインバータ型光ディテクタ８００の特徴は、ｎチャンネル型ＭＯＳトランジスタ８１３（＝８２１）と８１７のW/Lの差により光検出の感度を容易に調整できることである。本バイアストインバータ型光ディテクタ８００が動作している間は、常に電流が流れつづけるが、ｐチャンネル型電流制限ＭＯＳトランジスタ８１１，８１５，８１９、及びｎチャンネル型電流制限ＭＯＳトランジスタ８１４，８１８，８２２のＷ／Ｌの値を小さく設定することで、ＩＣカード全体の消費電力と比較して問題にならない程度に低消費電力化することが可能である。

【００７４】
図９に第６例である、カレントミラー型光ディテクタ９００を示す。９０１は負論理イネーブル信号、９０２は正論理イネーブル信号、９０３はバイアスノード、９０４はセンサ信号、９０５はディテクタ出力信号、９１１はｐチャンネル型電流源ＭＯＳトランジスタ、９１３はｎチャンネル型バイアスＭＯＳトランジスタである。９１５，９１７はカレントミラーを構成するＭＯＳトランジスタ、９１６はｎチャンネル型感度調整ＭＯＳトランジスタ、９１９はｎチャンネル型光検出ＭＯＳトランジスタ、９２０～９２３は電流制限インバータ、９１２はｎチャンネル型プルダウンＭＯＳトランジスタである。９１４，９１８はｐチャンネル型プルアップＭＯＳトランジスタである。これらの素子のうち、光を当てるのは光検出ＭＯＳトランジスタ９１９のみで、他の素子は金属膜で覆いをする。
【００７５】
負論理イネーブル信号９０１がＨｉ、正論理イネーブル信号９０２がＬｏの時、カレントミラー型光ディテクタ９００はオフである。プルダウンＭＯＳトランジスタ９１２により、ＭＯＳトランジスタ９１３，９１６，９１９に電流が流れなくなり、センサ信号９０４はプルアップＭＯＳトランジスタ９１８によりプルアップされ、ディテクタ出力信号９０５はグラウンド電位ＶＳＳで固定される。
【００７６】
負論理イネーブル信号９０１がＬｏ，正論理イネーブル信号９０２がＨｉに切り替わると、カレントミラー型光ディテクタ９００が起動する。電流源ＭＯＳトランジスタ９１１に流れる電流が、バイアスＭＯＳトランジスタ９１３に流れ、バイアスノード９０３の電位が決定する。ここで感度調整ＭＯＳトランジスタ９１６と光検出ＭＯＳトランジスタ９１９のＷ，Ｌが同一であれば、２つのＭＯＳトランジスタには同一の電流が流れる。実際は感度調整ＭＯＳトランジスタのＷを大きくし、感度調整ＭＯＳトランジスタ９１６のほうに大きな電流が流れるように設計される。２つのＭＯＳトランジスタの電流差は、ＭＯＳトランジスタ９１５，９１７で構成されるカレントミラー能動負荷で増幅される。ＭＯＳトランジスタ９１５，９１７のチャネル長変調係数が十分小さいとすれば、センサ出力９０４は電源電位ＶＤＤ付近で、ディテクタ出力信号９０５はグラウンド電位ＶＳＳ付近で安定する。
【００７７】
光検出ＭＯＳトランジスタ９１９に光子が入射すると、光検出ＭＯＳトランジスタ９１９のドレイン・基板間に漏れ電流が発生する。すると電流が増加する。光検出ＭＯＳトランジスタ９１９に流れる電流が、感度調整ＭＯＳトランジスタ９１６に流れる電流を上回ると、カレントミラー能動負荷の働きで、センサ信号９０４の電位がグラウンド電位ＶＳＳ付近まで下がる。その結果ディテクタ出力信号９０５はＨｉレベルに遷移し、光の照射が検出される。
【００７８】
本カレントミラー型光ディテクタ９００もまた、感度調整ＭＯＳトランジスタ９１６と光検出ＭＯＳトランジスタ９１９とのＷ/Ｌの差により光感度を容易に調整可能である。この回路も動作中は常に電流が流れるが、ＭＯＳトランジスタ９１１と９１３で構成されるバイアス回路と、出力インバータに電流を制限するＭＯＳトランジスタ９２０，９２３のＷ，Ｌ値を適宜調整することで、ＩＣカード全体の消費電力に対して問題にならない程度に低消費電力化することができる。
【００７９】
図１０に第７例である、ディファレンシャルＡＭＰ型光ディテクタ１０００を示す。１００１は負論理イネーブル信号、１００２は正論理イネーブル信号、１００３はバイアスノード、１００４はセンサ信号、１００５はディテクタ出力信号、１０１１はｐチャンネル型電流源ＭＯＳトランジスタ、１０１３はｎチャンネル型バイアスＭＯＳトランジスタ、１０２４はｎチャンネル型電流源ＭＯＳトランジスタである。１０１５，１０１７はカレントミラー負荷を構成するＭＯＳトランジスタ、１０１６はｎチャンネル型感度調整ＭＯＳトランジスタ、１０１９はｎチャンネル型光検出ＭＯＳトランジスタ、１０２０～１

０２３は電流制限インバータ、１０１２はｎチャンネル型プルダウンＭＯＳトランジスタである。１０１４，１０１８はｐチャンネル型プルアップＭＯＳトランジスタである。これらの素子のうち、光を当てるのは光検出ＭＯＳトランジスタ１０１９のみで、他の素子は金属膜で覆いをする。

【００８０】

負論理イネーブル信号１００１がＨｉ，正論理イネーブル信号１００２がＬｏの時、ディファレンシャルＡＭＰ型光ディテクタ１０００はオフである。プルダウンＭＯＳトランジスタ１０１２により、電流源ＭＯＳトランジスタ１０２４に電流が流れなくなり、センサ信号１００４はプルアップＭＯＳトランジスタ１０１８によりプルアップされ、ディテクタ出力信号１００５はグラウンド電位ＶＳＳで固定される。

【００８１】

負論理イネーブル信号１００１がＬｏ，正論理イネーブル信号１００２がＨｉに切り替わると、ディファレンシャルＡＭＰ型光ディテクタ１０００が起動する。電流源ＭＯＳトランジスタ１０１１に流れる電流が、バイアスＭＯＳトランジスタ１０１３に流れ、カレントミラーにより電流源ＭＯＳトランジスタ１０２４の電流が決定する。ここで感度調整ＭＯＳトランジスタ１０１６と光検出ＭＯＳトランジスタ１０１９のＷ，Ｌが同一であれば、２つのＭＯＳトランジスタには同一の電流が流れる。実際は感度調整ＭＯＳトランジスタのＷを大きくし、感度調整ＭＯＳトランジスタ１０１６の方に大きな電流が流れるように設計される。２つのＭＯＳトランジスタの電流差は、ＭＯＳトランジスタ１０１５，１０１７で構成されるカレントミラー能動負荷で増幅される。ＭＯＳトランジスタ１０１５，１０１７のチャネル長変調係数が十分小さいとすれば、センサ出力１００４は電源電位ＶＤＤ付近で、ディテクタ出力信号１００５はグラウンド電位ＶＳＳ付近で安定する。

【００８２】

光検出ＭＯＳトランジスタ１０１９に光子が入射すると、光検出ＭＯＳトランジスタ１０１９のドレイン・基板間に漏れ電流が発生する。すると電流が増加する。光検出ＭＯＳトランジスタ１０１９に流れる電流が、感度調整ＭＯＳトランジスタ１０１６に流れる電流を上回ると、カレントミラー能動負荷の働きで、センサ信号１００４の電位がグラウンド付近まで下がる。その結果ディテクタ出力信号１００５はＨｉレベルに遷移し、光の照射が検出される。

【００８３】

本ディファレンシャルＡＭＰ型光ディテクタ１０００の特徴も、カレントミラーＡＭＰ型光ディテクタ９００等と同様、感度調整ＭＯＳトランジスタ１０１６と光検出ＭＯＳトランジスタ１０１９とのＷの差により光感度を容易に調整可能な事である。さらに、カレントミラーＡＭＰ型光ディテクタ９００等と比較して、光検出ＭＯＳトランジスタ１０１９のドレイン電位が高くなることが利点としてあげられる。各光ディテクタは、光検出ＭＯＳトランジスタのドレイン・基板間のｐｎ逆バイアスに発生する漏れ電流を検出することで、光の入射を検出している。ドレイン電位が低い場合、空乏層中の電界が弱く、光子の入射によって発生した正孔・自由電子対が空乏層を抜ける前に再結合する確率が上がってしまう。ディファレンシャルＡＭＰ型光ディテクタ１０００は、光検出ＭＯＳトランジスタ１０１９のドレイン電位を上げることで、ドレイン・基板間の電界を強化し、より光感度を上昇させている。ディファレンシャルＡＭＰ型光ディテクタ１０００もまた、動作中に電流が常に流れるが、ＭＯＳトランジスタ１０１１と１０１３で構成されるバイアス回路と、出力インバータに電流を制限するＭＯＳトランジスタ１０２０，１０２３のＷ，Ｌ値を適宜調整することで、ＩＣカード全体の消費電力に対して問題にならない程度に低消費電力化することができる。

【００８４】

図１１には図８のバイアストインバータ型光ディテクタ８００の変形例が示される。図１１に示されるバイアストインバータ型光ディテクタ８００Ａは、感度制御用素子の電流駆動能力を調整可能にしたものである。即ち、感度制御ＭＯＳトランジスタ８１３ａと電流制限ＭＯＳトランジスタ８１４ａの直列回路、感度制御ＭＯＳトランジスタ８１３ｂと

電流制限ＭＯＳトランジスタ８１４ｂの直列回路、及び感度制御ＭＯＳトランジスタ８１３ｃと電流制限ＭＯＳトランジスタ８１４ｃの直列回路を並列に配置した点が図８の構成と相違される。ＭＯＳトランジスタのＷ，Ｌの値は、８１４ａ＝８１４ｂ＝８１４ｃ＝８１４である。ＭＯＳトランジスタ８１３ａ，８１３ｂ，８１３ｃのＬはＭＯＳトランジスタ８１７と同じで、ＭＯＳトランジスタ８１３ａ，８１３ｂ，８１３ｃのW_{813a}，W_{813b}，W_{813c}は、ＭＯＳトランジスタ８１７のW_{817}に対して、例えば、$W_{813a}=3\cdot W_{817}/4$、$W_{813b}=1\cdot W_{817}/8$、$W_{813c}=1\cdot W_{817}/16$とされる。制御信号８０２をＨｉにしてバイアストインバータ型光ディテクタ８００を動作可能にするとき、選択信号８０４ａ，８０４ｂ，８０４ｃの何れかをＨｉにするかによって感度制御用素子による電流駆動能力が相違され、バイアスノード８０３に対するセンサ信号８０４の初期電位の差を所望に設定することが可能になる。選択信号８０４ａ，８０４ｂ，８０４ｃは図示を省略するレジスタ値によって決定してよい。これにより、検出感度の修正もしくは最適化が容易になる。

【００８５】

図１２にＩＣカード用の半導体集積回路としてＩＣカード用マイクロコンピュータ（単にＩＣカードマイコンとも記す）が例示される。ここでは、これまで述べてきた種々の光ディテクタを、どのようにＩＣカードマイコンに適用するかについて示す。１１００はＩＣカードのＩＣＭ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ　Ｍｏｄｕｌｅ）例えばＩＣカードマイコンである。１１０１は電源端子、１１０２はグラウンド端子、１１０３はクロック入力端子、１１０４と１１０５はＩ／Ｏ端子、１１１１は電源ブロック、１１１２はＰＬＬ（Ｐｈａｓｅ－Ｌｏｃｋｅｄ　Ｌｏｏｐ）ブロック、１１１３はＣＰＵを含む論理回路ブロック、１１１４はインタフェースブロック、１１１５はＳＲＡＭ、１１１６はＲＯＭ、１１１７はＥＥＰＲＯＭ、１１２１は内部データバスである。

【００８６】

ＲＯＭ１１１６はＣＰＵを含む論理回路ブロック１１１３中のＣＰＵの制御プログラムを保有し、ＥＥＰＲＯＭ１１１７は制御データ等を書換え可能に保有する。ＳＲＡＭ１１１５はＣＰＵを含む論理回路ブロック１１１３中のＣＰＵのワーク領域などに利用される。ＰＬＬ１１１２はクロック入力端子１１０３から供給される外部クロックに基づいて内部クロックを生成する。

【００８７】

一般にＩＣカードの各外部端子には、高速性が要求されないため、ＩＣカードマイコンは伝統的な５Ｖ電源のインタフェースを採用している。そのため、ＩＣカードマイコン１１００には電源は５Ｖが供給される。しかし、ディープサブミクロンプロセスより微細化が進んだＩＣでは５Ｖの電源は高すぎるので、各回路に適切な電源電圧を供給するため降圧電源が必要となる。またＥＥＰＲＯＭ１１１７では、メモリの消去／書き込みのため５Ｖより高い電圧、グラウンドより低い電圧を必要とするため、それぞれチャージポンプ等を用いた昇圧電源／負電圧電源回路が必要となる。これらの電源回路をまとめたブロックが、電源ブロック１１１１である。電源ブロック１１１１は主にアナログ回路で構成される。このため、前記バイアストインバータ型光ディテクタ８００、カレントミラー型光ディテクタ９００、ディファレンシャルＡＭＰ型光ディテクタ１０００等の回路が目立つこと無く組み込むことができる。目立つこと無くとは、アナログ回路故に、定電流を流す回路構成の光ディテクタが挿入されていても周りの回路構成に対して容易に識別し難い、という意味である。

【００８８】

ＩＣカードマイコン１１００にはＣＰＵを含む論理回路ブロック１１１３が内蔵されているため、ＰＬＬブロック１１１２が必要となる。ＰＬＬブロック１１１２はアナログ回路で構成されるため、前記バイアストインバータ型光ディテクタ８００、カレントミラー型光ディテクタ９００、ディファレンシャルＡＭＰ型光ディテクタ１０００等が目立つこと無く組み込むことができる。

【００８９】

ＣＰＵを含む論理回路ブロック１１１３やインタフェースブロック１１１４は、主としてディジタル回路で構成されるため、インバータ型光ディテクタ７００を採用するのが適切である。適切であるとは、ディジタル回路故に、プッシュ・プル構成の光ディテクタが挿入されていても周りの回路構成に対して容易に識別し難い、という意味である。

【００９０】

ＳＲＡＭ１１１５、ＲＯＭ１１１６、ＥＥＰＲＯＭ１１１７は、メモリ素子であるためＳＲＡＭ型光ディテクタ１００、ダイオード追加ＳＲＡＭ型光ディテクタ５００、電流リミッタ追加ＳＲＡＭ型光ディテクタ６００等を採用するのが適切である。ここで適切とは、光ディテクタがメモリセル様の回路構成を備えるので周りのメモリセルに対して容易に識別し難い、という意味である。ＲＯＭ１１１６やＥＥＰＲＯＭ１１１７はメモリセル構成がＳＲＡＭとは異なるためメモリアレイ中に混在させることは適切ではないが、メモリセルへ書き込むべきデータ若しくはメモリセルから読み出したデータを一時的に格納するバッファをＳＲＡＭメモリセル構成とし、その中にＳＲＡＭ型光ディテクタを混在させればよい。

【００９１】

各種光ディテクタによる光検出信号は、例えば論理和が採られ、論理信号はＩＣカードマイコンのリセット信号（マスタリセット信号）の一つとされる。これにより、光を当ててリバースエンジニアリングのためのデータ収集を試みようとしても、その都度、ＩＣカードマイコンにマスタリセットがかかって初期状態に戻され、リセットの解除は行われない。この結果、光照射によって不正なデータ収集を行おうとしても、ＩＣカードの動作が停止し、統計的に暗号鍵等の解析を行うことを阻むことができる。

【００９２】

このように、回路ブロックの特性に合わせて、適宜様々な種類の光ディテクタを組み込むことで、リバースエンジニアリングをより効果的に防ぐことが出来る。

【００９３】

上記光ディテクタの組み込み法は様々な方法が考えられる。第１に、素子の配置によって出来た隙間に組み込む方法、第２に、格子状のパターンで組み込む方法などが良いと考えられる。

【００９４】

図１３には機能ブロックの素子配置の隙間に光ディテクタを組み込んだ様子が例示される。例えば一つの機能ブロック１６０４は、Ｄ型ラッチ回路のような第１基本セル１６０１、ナンドゲート（ＮＡＮＤ）等の第２基本セル１６０２、インバータ等の第３基本セル１６０３が所要の機能を満足するように配置され、それによって生じた隙間に光ディテクタ１３０１が配置される。一般的にディジタル回路は基本セル１６０１，１６０２，１６０３等を並べることで、機能ブロック１６０４を構成する。基本セル１６０１～１６０３は配置を行い易いように、セル高さは統一されるが、セルによって幅は異なる。そのため機能ブロックを構成する時に、どうしても隙間が出来てしまう。一般的に、この隙間は何も配置しないか又はいわゆる隙間セルを配置するが、ここに光ディテクタ１３０１を組み込むことで、面積の増大なしに多数の機能ブロックに光ディテクタ１３０１を組み込むことができる。

【００９５】

図１４には格子状のパターンで光ディテクタを組み込んだ様子が例示される。特にリバースエンジニアリングを防ぎたい機能ブロック１７０４には、予め光ディテクタ１３０１を配置しておく。その配置はここでは格子状である。この手法では、光ディテクタ１３０１の隙間に基本セル１６０１～１６０３を配置するため、セルの隙間１７０１が多数発生するが、光ディテクタ１３０１の密度を調整できるので、リバースエンジニアリングの防止という点で優れる。

【００９６】

図１５にはＤ型フリップフロップに光検出回路を組み込んだ基本セルが例示される。リバースエンジニアリング防止を重要視するならば、論理回路の基本素子（フリップフロッ

プ，ＮＡＮＤ，ＮＯＲ，インバータ等）に、あらかじめ光ディテクタを組み込んでおき、それらを使用することで光ディテクタを高密度に配置することが容易になる。

【００９７】

図１５に例示される基本セル１５０１はＤ型フリップフロップの基本素子に対応され、Ｄ型フリップフロップ１５０２、光検出回路１３０１、及びワイヤード・オア結合素子１３０２から成る。この場合採用する光ディテクタは、動作時の消費電力がほぼゼロで、面積を小さく抑えることが出来る、インバータ型光ディテクタ７００が最適であるので、光検出回路１３０１にインバータ型光ディテクタ７００を採用する。ワイヤード・オア結合素子１３０２のドレインはその他の基本セルに設けられるワイヤード・オア結合素子のドレインに結合されればよい。

【００９８】

図１６には光ディテクタによる光検出の他に、電圧検出、周波数検出、配線切断検出機能を付加したＩＣカードマイコンが例示される。図１２に対して、電圧検出回路１２０１、周波数検出回路１２０２、配線切断検出回路１２０３、アクティブシールド配線(ラーメンパターン)１２０４が付加された点が相違される。

【００９９】

電圧検出回路１２０１は電源ブロック１１１１で生成される内部動作電源の規定以下の降圧を検出する。プローブを介して内部電源ノードに異常な降圧電圧を印加して異常な動作をさせることによってリエンジニアリングの解析が行われること予想して、これを検出するために前記電圧検出回路１２０１を利用する。

【０１００】

周波数検出回路１２０２はＰＬＬ１１１２で生成される内部クロックの周波数が規定の周波数以上にされたことを検出する。プローブを介して内部クロック供給ノードに異常な高周波を印加して異常な動作をさせることによってリエンジニアリングの解析が行われること予想して、これを検出するために前記周波数検出回路１２０２を利用する。

【０１０１】

配線切断検出回路１２０３はＩＣカードマイコンの表面に配置されたアクティブシールド配線(ラーメンパターン)１２０４が切断されたことを検出する。アクティブシールド配線１２０４は図１７に例示されるようにＩＣカードマイコンの表面全体に緻密なパターンを描くように敷設される。ＩＣカードマイコンの内部ノードにプローブを接触させるためにＩＣカードマイコンの表面保護膜などを除去しようとすると一緒にアクティブシールド配線(ラーメンパターン)１２０４も切断され、これを検出しようとする。

【０１０２】

図１８には光ディテクタによる光検出、電圧検出、周波数検出、及び配線切断検出により統合的にリセット信号を生成する回路構成が例示される。１３０１は種々の形態の光検出回路を総称する光検出回路、１３０２は光検出回路１３０１の検出信号を選択端子に受けるＭＯＳトランジスタのようなワイヤード・オア素子、１３０８は電圧検出回路１２０１からの検出信号を選択端子に受けるＭＯＳトランジスタのようなワイヤード・オア素子、１３０９は周波数検出回路１２０２からの検出信号を選択端子に受けるＭＯＳトランジスタのようなワイヤード・オア素子である。１３０３はリセット回路、１３０４はリセット信号、１３０５はプルダウン抵抗、１３０６はプルアップ抵抗、１２０４はアクティブシールド配線である。前記ワイヤード・オア素子１３０１，１３０８，１３０９、プルアップ抵抗１３０６、プルダウン抵抗１３０５、及びアクティブシールド配線１２０４は配線１３０７に共通接続される。

【０１０３】

前記プルアップ抵抗１３０６の方が、プルダウン抵抗１３０５より抵抗値が小さいため、配線１３０７の電位は、電源電圧付ＶＤＤ近となる光検出回路１３０１のどれかが光の入射を検出するとワイヤード・オア素子１３０２がオン状態にされ、電圧検出回路１２０１が内部電圧の異常を検出するとワイヤード・オア素子１３０８がオン状態にされ、周波数検出回路１２０２が周波数の異常を検出するとワイヤード・オア素子１３０９がオン状

態にされる。何れかのワイヤード・オア素子がオン状態にされると、配線１３０７の電位はグラウンドＶＳＳ付近まで降下する。これをリセット回路１３０３が検出し、リセット信号１３０４をアサートしてＩＣカードマイコンを初期化する。配線１３０７を切断しても、或はアクティブシールド配線１２０４を切断しても、プルダウン抵抗１３０５の効果で、配線１３０７の電位はグラウンドＶＳＳ付近まで降下し、同様にＩＣカードマイコンは初期化される。リセット指示の解除は行われず、ＩＣカードの動作は停止する。

【０１０４】

また、図２に示す光ディテクタ素子を構成するＭＯＳの上層で、遮光をするための金属箔を形成する場合、アクティブシールド配線やその他の配線により形成するようにしてもよい。この場合ＭＯＳの大きさに対して配線の幅は狭いのが通常であるため、遮光するＭＯＳの上層の配線を密にし、遮光しないＭＯＳの上層の配線を疎にすることにより、光の強度に差がつくようにしてもよい。

【０１０５】

図１９には接触インタフェース形式のＩＣカード１１３０の外観が例示される。合成樹脂から成るカード基板１１３１には、特に制限されないが、外部インタフェース部として、電極パターンによって形成された外部端子１１３２が表面に露出され、前記図１２及び図１６に例示されるＩＣカードマイコン１１００が埋め込まれている。前記電極パターンにはＩＣカードマイコン１１００の対応する外部端子が結合される。

【０１０６】

図２０には非接触インタフェース形式のＩＣカード１１３４の外観が例示される。合成樹脂から成るカード基板１１３５には、特に制限されないが、外部インタフェース部としてアンテナ１１３６が埋め込まれ、前記図１２及び図１６に例示されるＩＣカードマイコン１１００が埋め込まれる。この例では、ＩＣカードマイコン１１００はインタフェースブロック１１１４に高周波部を有し、この高周波部に前記アンテナ１１３６が結合される。

【０１０７】

前記ＩＣカード１１３０，１１３４を例えば電子マネーシステムで利用するとき、前記ＥＥＰＲＯＭ１１１７には暗号鍵や金額情報などが暗号化されて格納され、電子マネーを利用するとき暗号鍵や金額情報が復号され、復号された情報を用いて正当な利用か否かが判定され、必要な金額が銀行に送金され、或いは別のＩＣカードに所要の金額が転送される。

【０１０８】

また、前記ＩＣカード１１３０、１１３４が携帯電話機に装着されて使用されるとき、前記ＥＥＰＲＯＭ１１１７には使用者の電話番号、ＩＤ番号、課金情報等が暗号化されて格納され、電話を利用するときそれら情報が復号され、復号された情報を用いて正当な利用か否かが判定され、使用度数に応じて課金情報が更新され、再度暗号化される。

【０１０９】

上記ＩＣカード１１３０、１１３４によれば、前記ＩＣカードマイコン１１００光検出による強制リセット作用により、暗号鍵などのデータハッキングが防御され、利用者の損害発生を抑制することができる。

【０１１０】

図２１には図７のインバータ型光ディテクタ７００の変形例に係る光ディテクタ７００Ａが示される。図７の回路では受光素子として光検出ＭＯＳトランジスタ７１２におけるドレインのＰＮ接合を利用している。光ディテクタ７００Ａでは、それをダイオード１８１２のＰＮ接合に置き換えている。逆バイアスされたダイオード１８１２に光が照射された場合にも、ドレインと同様漏れ電流が発生する。

【０１１１】

負論理イネーブル信号７０１がＨｉに立ち下がると、出力の電位７０３が電源電位ＶＤＤまで上昇する。その時ディテクタ出力信号７０２の電位はグラウンド電位ＶＳＳとなる。ダイオード１８１２に光が照射されると漏れ電流が発生し、光の強度が十分大きく漏れ

電流の大きさが感度調整ＭＯＳトランジスタ７１１の電流駆動力より大きくなった時、センサ出力信号７０３は下降し、出力インバータ７１３の論理スレッショルドを下回り、ディテクタ出力７０２がＨｉに立ち上がる。

【０１１２】

図２２には図７のインバータ型光ディテクタ７００の別の変形例に係る光ディテクタ７００Ｂが示される。感度調整用ＭＯＳトランジスタ１９１１をＰチャンネル型で構成し、光検出用ＭＯＳトランジスタをＮチャンネル型で構成した点が相違される。

【０１１３】

正論理イネーブル信号１９０１がＨｉに立ち上がると、電位１９０３がグラウンド電位ＶＳＳまで下降する。その時ディテクタ出力信号１９０２の電位はグラウンド電位ＶＳＳとなる。オフ状態のＭＯＳトランジスタ１９１１のドレインに光が照射されると漏れ電流が発生し、光の強度が十分大きく漏れ電流の大きさがＭＯＳトランジスタ１９１２の電流駆動力より大きくなった時、電位１９０３は上昇し、バッファ１９１３の論理スレッショルドを上回り、ディテクタ出力信号１９０２がＨｉに立ち上がる。

【０１１４】

図２３には図２２の変形例に係る光ディテクタ７００Ｃが示される。図２２で受光素子に使用されているＭＯＳトランジスタ１９１１をダイオード２０１１に置き換えている。ダイオード２０１１による基本的な動作形態は図２１で説明したのと同様であるからその詳細な動作説明については省略する。

【０１１５】

図２４には図８のバイアストインバータ型光ディテクタ８００の変形例に係る光ディテクタ８００Ｂが示される。図８の回路では受光素子として光検出ＭＯＳトランジスタ８１７におけるドレインのＰＮ接合を利用している。図２４ではＭＯＳトランジスタ８１７の代わりに、ダイオード２１１０を受光素子として利用する。ダイオード２１１０は出力８０４と回路の接地電位ＶＳＳとの間に逆バイアス状態で接続される。

【０１１６】

ＭＯＳトランジスタ８１３とＭＯＳトランジスタ８１７の電流駆動力が、ＭＯＳトランジスタ８１３＞ＭＯＳトランジスタ８１７、と設定されているので、センサ信号８０４の電位は、ＭＯＳトランジスタ８１９～８２２で構成されるインバータの論理スレッショルドより高い。ここで、ダイオード２１１０に光が照射されると漏れ電流が発生し、光の強度が十分大きく漏れ電流が十分大きい場合、センサ信号８０４の電位が、ＭＯＳトランジスタ８１９～８２２で構成されるインバータの論理スレッショルドより低くなる。これによりディテクタ出力８０５がグラウンド電位付近から電源電位ＶＤＤ付近まで立ち上がり、光の照射を検出できる。

【０１１７】

図２５には図２４の変形例に係る光ディテクタ８００Ｃが示される。図２２で追加したダイオード２１１０をＭＯＳトランジスタ８１７のソースと回路の接地電位ＶＳＳとの間に配置した点で相違する。基本的な動作形態は図２４で説明したのと同様であるからその詳細な動作説明は省略する。

【０１１８】

図２６には図８のバイアストインバータ型光ディテクタ８００の変形例に係る光ディテクタ８００Ｄが示される。ここでは、ｐチャンネル型ＭＯＳトランジスタ２２１６とｎチャンネル型ＭＯＳトランジスタ２２１７によって構成されるインバータの当該ＭＯＳトランジスタ２２１６を光検出用ＭＯＳトランジスタとし、プルアップ用のＭＯＳトランジスタ８２３に代えてセンサ出力８０４をプルダウンするＭＯＳトランジスタ２２２３を採用する。

【０１１９】

図８では、ＭＯＳトランジスタの電流駆動力は、ＭＯＳトランジスタ８１２＝ＭＯＳトランジスタ８１６、ＭＯＳトランジスタ８１３＞ＭＯＳトランジスタ８１７に設定されていたが、図２６の回路では、ＭＯＳトランジスタ８１２＞ＭＯＳトランジスタ２２１６、

ＭＯＳトランジスタ８１３＝ＭＯＳトランジスタ２２１７と設定される。よって、センサ信号８０４の電位は、ＭＯＳトランジスタ８１９～８２２で構成されるインバータの論理スレッショルドより低い。ここで受光素子として使用されるＭＯＳトランジスタ２２１６に光が照射されると漏れ電流が発生し、光の強度が十分大きく漏れ電流が十分大きい場合、センサ信号８０４の電位が、ＭＯＳトランジスタ８１９～８２２で構成されるインバータの論理スレッショルドより高くなる。これによりディテクタ出力信号２２０１がグラウンド電位ＶＳＳ付近から電源電位ＶＤＤ付近まで立ち上がり、これによって光の照射が検出される。

【０１２０】

図２７には図２６の変形例に係る光ディテクタ８００Ｅが示される。ここでは、受光素子に使用されていたＭＯＳトランジスタ２２１６の代わりに、受光素子としてダイオード２３１０を加えた。動作については省略する。図示はしないが、ダイオード２３１０の接続は、図２５と同様に、ＭＯＳトランジスタ２２１６のソースと電源電圧ＶＤＤの間に逆バイアスで接続する形態に変更可能である。

【０１２１】

図２８には図９のカレントミラー型光ディテクタ９００の変形例に係る光ディテクタ９００Ａが示される。図９の回路で受光素子として使用されているＭＯＳトランジスタ９１９の代わりに、ダイオード２４１０を受光素子として追加した点が相違される。ダイオード２４１０は逆バイアス状態（逆方向接続状態）でＭＯＳトランジスタ９１６に並列接続される。

【０１２２】

ＭＯＳトランジスタ９１６とＭＯＳとトランジスタ９１９の電流駆動力は、ＭＯＳトランジスタ９１６＞ＭＯＳトランジスタ９１９と設定されているので、センサ信号９０４の電位は、ＭＯＳトランジスタ９２０～９２３で構成されるインバータの論理スレッショルドより高い。ここで、ダイオード２４１０に光が照射されると漏れ電流が発生し、光の強度が十分大きく漏れ電流が十分大きい場合、センサ信号９０４の電位が、ＭＯＳトランジスタ９２０～９２３で構成されるインバータの論理スレッショルドより低くなる。これによりディテクタ出力９０５がグラウンド電位ＶＳＳ付近から電源電位ＶＤＤ付近まで立ち上がり、光の照射が検出される。

【０１２３】

図２９には図９のカレントミラー型光ディテクタ９００の変形例に係る光ディテクタ９００Ｂが示される。図９に対してＭＯＳトランジスタの導電型（ｐ型、ｎ型）を入れ替えて構成した点が相違される。図９の回路ではＭＯＳトランジスタ９１６、９１９の電流駆動力には、ＭＯＳトランジスタ９１６＞ＭＯＳトランジスタ９１９の関係が設定されていたが、図２９の回路でも同様に、ＭＯＳトランジスタ２５１６＞ＭＯＳトランジスタ２５１９の関係が設定される。よって、センサ信号２５０４の電位は、ＭＯＳトランジスタ２５２０～２５２３で構成されるインバータの論理スレッショルドより低い。ここで受光素子として使用されるＭＯＳトランジスタ５１９に光が照射されると漏れ電流が発生し、光の強度が十分大きく漏れ電流が十分大きい場合、センサ信号２５０４の電位が、ＭＯＳトランジスタ２５２０～２５２３で構成されるインバータの論理スレッショルドより高くなる。これによりディテクタ出力２５０６がグラウンド電位ＶＳＳ付近から電源電位ＶＤＤ付近まで立ち上がり、光の照射が検出される。

【０１２４】

図３０には図２９のカレントミラー型光ディテクタ９００Ｂの変形例に係る光ディテクタ９００Ｃが示される。図２９の回路で受光素子に使用されているＭＯＳトランジスタ２５１９の代わりに、受光素子としてダイオード２６１０を追加した点が相違される。ダイオード２６１０は逆バイアス状態（逆方向接続状態）でＭＯＳトランジスタ２５１６に並列接続される。基本的な動作形態は図２８で説明したのと同様であるからその詳細な動作説明は省略する。

【０１２５】

図３１には図１０のディファレンシャルＡＭＰ型光ディテクタ１０００の変形例に係る光ディテクタ１０００Ａが示される。同図に示される光ディテクタ１０００Ａには、図１０において受光素子として使用しているＭＯＳトランジスタ１０１９の代わりに、ダイオード２７１０を受光素子として追加した。ＭＯＳトランジスタ１０１６とＭＯＳトランジスタ１０１９の電流駆動力は、ＭＯＳトランジスタ１０１６＞ＭＯＳトランジスタ１０１９と設定されているので、センサ信号１００４の電位は、ＭＯＳトランジスタ１０２０～１０２３で構成されるインバータの論理スレッショルドより高い。ここで、ダイオード２７１０に光が照射されると漏れ電流が発生し、光の強度が十分大きく漏れ電流が十分大きい場合、センサ信号１００４の電位が、ＭＯＳトランジスタ１０２０～１０２３で構成されるインバータの論理スレッショルドより低くなる。これによりディテクタ出力１００５がグラウンド電位ＶＳＳ付近から電源電位ＶＤＤ付近まで立ち上がり、光の照射が検出される。

【０１２６】

図３２には図１０のディファレンシャルＡＭＰ型光ディテクタ１０００Ａの変形例に係る光ディテクタ１０００Ｂが示される。図３１に対してＭＯＳトランジスタの導電型（ｐ型、ｎ型）を入れ替えて構成した点が相違される。図１０の回路では電流供給能力がＭＯＳ１０１６トランジスタ＞ＭＯＳトランジスタ１０１９と設定されていたが、図３２の回路でも同様に、電流駆動能力はＭＯＳトランジスタ２８１６＞ＭＯＳトランジスタ２８１９と設定されている。よって、センサ信号２８０４の電位は、ＭＯＳトランジスタ２８２０～２８２３で構成されるインバータの論理スレッショルドより低い。ここで受光素子として使用されるＭＯＳトランジスタ２８１９に光が照射されると漏れ電流が発生し、光の強度が十分大きく漏れ電流が十分大きい場合、センサ信号２８０４の電位が、ＭＯＳトランジスタ２８２０～２８２３で構成されるインバータの論理スレッショルドより高くなる。これによりディテクタ出力２８０６がグラウンド電位ＶＳＳ付近から電源電位ＶＤＤ付近まで立ち上がり、光の照射が検出される。

【０１２７】

図３３には図３２のディテクタ１０００Ｂの変形例に係る光ディテクタ１０００Ｃが示される。図２９の回路で受光素子に使用されているＭＯＳトランジスタ２８１９の代わりに、受光素子としてダイオード２９１０を追加した点が相違される。ダイオード２９１０は逆バイアス状態（逆方向接続状態）でＭＯＳトランジスタ２８１９に並列接続される。基本的な動作形態は図２９で説明したのと同様であるからその詳細な動作説明は省略する。

【０１２８】

図３４には図２９の光ディテクタの変形例に係る光ディテクタ９００Ｄが示される。図２９のように受光素子が独立している場合、ダイオードを他から離して配置することが可能である。その場合、図３４に例示されるように、受光素子として複数個のダイオード２６１０＿１～２６１０＿３を持つことが可能である。受光素子部分としてのダイオードのみが複数存在しても、その他の回路部分である光ディテクタ本体９００ｃｏｒは単体で済むため、回路面積が小さく、消費電力が少なくて済む。受光素子としてのダイオード２６１０＿１～２６１０＿３のうち１つでも光が照射されれば、これに反応して光検出される。

【０１２９】

また、光ディテクタ本体９００ｃｏｒが正しく動作するかをテストするために、テスト回路３０１０を図のように接続するとよい。テスト回路３０１０が電流を掃き出す事で、擬似的にセンサが反応した状態を作り出すことができ、光ディテクタ本体が動作するかどうかをテストすることができる。尚、図２１、図２３、図２４、図２７、図２８、図３１及ぶ図３３の各回路も同様の構成で、複数個のダイオードと一つの光ディテクタ本体という構成を採用することが可能である。

【０１３０】

図３５には受光素子として使用するダイオードのデバイス断面構成が例示される。ダイ

オードという素子はｐ型半導体とｎ型半導体が接合すれば、どこにでも構成することができる。例えばｐ型基板３１１０と電源分離用ｎ型拡散層３１２０のＰＮ接合がダイオードとして使用できる。他にも（１）電源分離用ｎ型拡散層３１２０とｐ型ウェル領域（ｐ－ＷＥＬＬ）３１３０、（２）ｐ－ＷＥＬＬ３１３０とN^+拡散層３１４０、（３）ｎ－ＷＥＬＬ３１５０とP^+拡散層３１６０、等がダイオードとして使用可能である。このようにダイオードとはｐｎ接合のことであり、他の素子の一部であっても、それはダイオードという概念で把握することができる。さらに、キャパシタや抵抗のようにシリコン基板に形成されない素子の直下の拡散層を利用してダイオードを構成することにより、ダイオードの追加による面積増加を抑えることができる。

【０１３１】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【０１３２】

例えば、スタティックラッチを主体とする光ディテクタはＳＲＡＭ以外のメモリのメモリアレイに配置することも可能である。ＩＣカードマイコンに設けられる回路モジュールは図１２などで説明した内容に限定されず、タイマカウンタ等その他の回路モジュールを搭載してもよい。本発明はＩＣカードマイコン以外のシステムオンチップに係る別の半導体集積回路にも広く適用することができる。尚、上記金属による遮光とドレイン面積の増大という技術的手段は本発明における光ディテクタ以外の一般的な光検出用の光ディテクタにも適用可能である。

【図面の簡単な説明】

【０１３３】

【図１】本発明の第１実形態であるＳＲＡＭ型光ディテクタを例示する回路図である。

【図２】ＳＲＡＭ型光ディテクタの光検出素子以外を金属皮膜で遮光するパターンの例を示す説明図である。

【図３】オフ状態のＭＯＳトランジスタへ光子が入射した場合の動作を示す説明図である。

【図４】ＳＲＡＭ型光ディテクタのＳＲＡＭへの組み込み状と共にＳＲＡＭモジュールの全体的な構成を示すブロック図である。

【図５】ダイオード追加ＳＲＡＭ型光ディテクタを示す回路図である。

【図６】電流リミッタ追加ＳＲＡＭ型光ディテクタを示す回路図である。

【図７】インバータ型光ディテクタを示す回路図である。

【図８】バイアストインバータ型光ディテクタを示す回路図である。

【図９】カレントミラー型光ディテクタを示す回路図である。

【図１０】ディファレンシャルＡＭＰ型光ディテクタを示す回路図である。

【図１１】図８のバイアストインバータ型光ディテクタ８００の変形例を示す回路図である。

【図１２】各種光ディテクタを組み込んだ様子を示すＩＣカードマイコンの概略構成を示すブロック図である。

【図１３】機能ブロックの素子配置の隙間に光ディテクタを組み込んだ様子を例示するレイアウト説明図である。

【図１４】機能ブロックに格子状のパターンで光ディテクタを組み込んだ様子を例示するレイアウト説明図である。

【図１５】Ｄ型フリップフロップに光ディテクタを組み込んだ基本セルを例示する回路図である。

【図１６】光ディテクタによる光検出の他に、電圧検出、周波数検出、配線切断検出機能を付加したＩＣカードマイコンを全体的に示すブロック図である。

【図１７】ＩＣカードマイコンの表面全体に緻密なパターンとしてアクティブシール

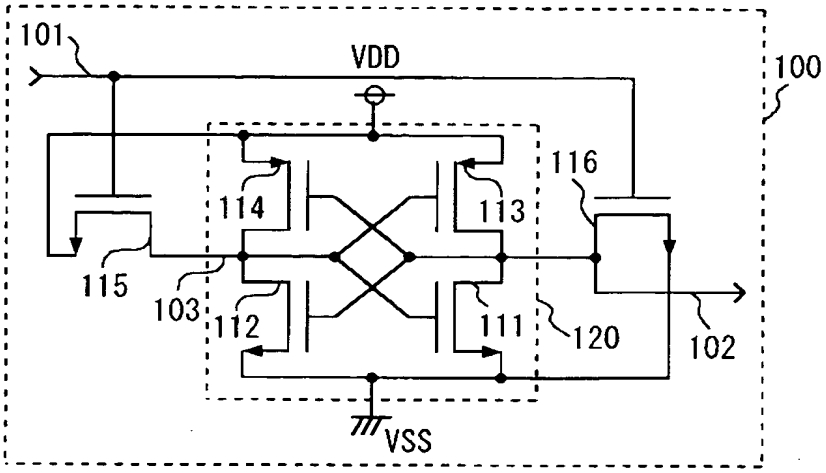
ド配線を敷設した様子を示す説明図である。
【図１８】光ディテクタによる光検出、電圧検出、周波数検出、及び配線切断検出により統合的にリセット信号を生成する回路構成を例示する説明図である。
【図１９】接触インタフェース形式のＩＣカードの外観を例示する平面図である。
【図２０】非接触インタフェース形式のＩＣカードの外観を例示する平面図である。
【図２１】図７のインバータ型光ディテクタの変形例に係る光ディテクタを示す回路図である。
【図２２】図７のインバータ型光ディテクタの別の変形例に係る光ディテクタを示す回路図である。
【図２３】図２２の変形例に係る光ディテクタを示す回路図である。
【図２４】図８のバイアストインバータ型光ディテクタの変形例に係る光ディテクタを示す回路図である。
【図２５】図２４の変形例に係る光ディテクタを示す回路図である。
【図２６】図８のバイアストインバータ型光ディテクタの変形例に係る光ディテクタを示す回路図である。
【図２７】図２６の変形例に係る光ディテクタを示す回路図である。
【図２８】図９のカレントミラー型光ディテクタの変形例に係る光ディテクタを示す回路図である。
【図２９】図９のカレントミラー型光ディテクタの別の変形例に係る光ディテクタを示す回路図である。
【図３０】図２９のカレントミラー型光ディテクタの変形例に係る光ディテクタを示す回路図である。
【図３１】図１０のディファレンシャルＡＭＰ型光ディテクタの変形例に係る光ディテクタを示す回路図である。
【図３２】図１０のディファレンシャルＡＭＰ型光ディテクタの別の変形例に係る光ディテクタを示す回路図である。
【図３３】図３２のディテクタの変形例に係る光ディテクタを示す回路図である。
【図３４】図２９の光ディテクタの変形例に係る光ディテクタを示す回路図である。
【図３５】受光素子として使用するダイオードのデバイス構造を説明するための断面図である。

【符号の説明】
【０１３４】
１００　ＳＲＡＭ型光ディテクタ
１１１、１１２、１１３、１１４　スタティックラッチを構成するＭＯＳトランジスタ
１２０　スタティックラッチ
３０２　ドレイン拡散領域
３０３　ソース拡散領域
３１１　ドレイン端子
３１２　ゲート端子
３１３　ソース端子
３１４　接地端子
３２０　光子
４００　ＳＲＡＭブロック
４０１　メモリセルアレイ
４０２　冗長セルアレイ
４０３　冗長プログラム回路
４０７　ＥＣＣ回路
５１１、５１２　ダイオード
６１１、６１２　電流リミッタＭＯＳトランジスタ
７００、７００Ａ、７００Ｂ、７００Ｃ　インバータ型光ディテクタ

７１１　感度調整ＭＯＳトランジスタ
７１２　光検出ＭＯＳトランジスタ
８００、８００Ａ、８００Ｂ、８００Ｃ、８００Ｄ、８００Ｅ　バイアストインバータ型光ディテクタ
８１３、８２１　感度制御ＭＯＳトランジスタ
８１７　光検出ＭＯＳトランジスタ感度制御ＭＯＳトランジスタ
８１３ａ，８１３ｂ，８１３ｃ　感度制御ＭＯＳトランジスタ
９００、９００Ａ、９００Ｂ、９００Ｃ、９００Ｄ　カレントミラー型光ディテクタ
９１６　感度調整ＭＯＳトランジスタ
９１９　光検出ＭＯＳトランジスタ
１０００、１０００Ａ、１０００Ｂ、１０００Ｃ　ディファレンシャルＡＭＰ型光ディテクタ
１０１６　感度調整ＭＯＳトランジスタ
１０１９　光検出ＭＯＳトランジスタ
１１００　ＩＣカードマイコン
１１１１　電源ブロック
１１１２　ＰＬＬブロック
１１１３　ＣＰＵを含む論理回路ブロック
１１１４　インタフェースブロック
１１１５　ＳＲＡＭ
１１１６　ＲＯＭ
１１１７　ＥＥＰＲＯＭ
１１３０　ＩＣカード
１１３１，１１３５　カード基板
１１３２　外部端子
１１３６　アンテナ
１２０１　電圧検出回路
１２０２　周波数検出回路
１２０３　配線切断検出回路
１２０４　アクティブシールド配線
１３０１　光検出素子
１３０２　ワイヤード・オア結合素子
１３０３　リセット回路
１３０４　リセット信号
１３０５　プルダウン抵抗
１３０６　プルアップ抵抗
１３０７　配線
１３０８、１３０９　ワイヤード・オア結合素子
１５０１　基本セル
１５０２　Ｄ型フリップフロップ
１８１２、２０１１、２１１０、２３１０、２４１０、２６１０、２６１０＿１～２６１０＿３、２７１０、２９１０　ダイオード

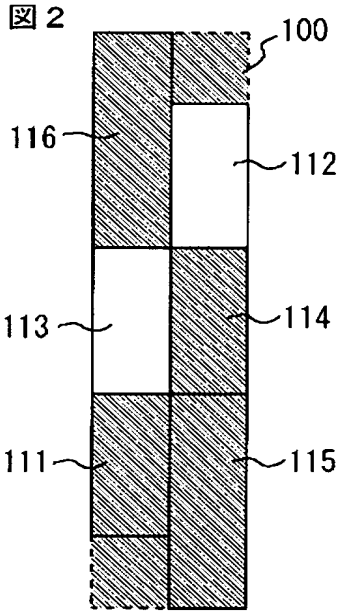
【書類名】図面
【図１】

図１



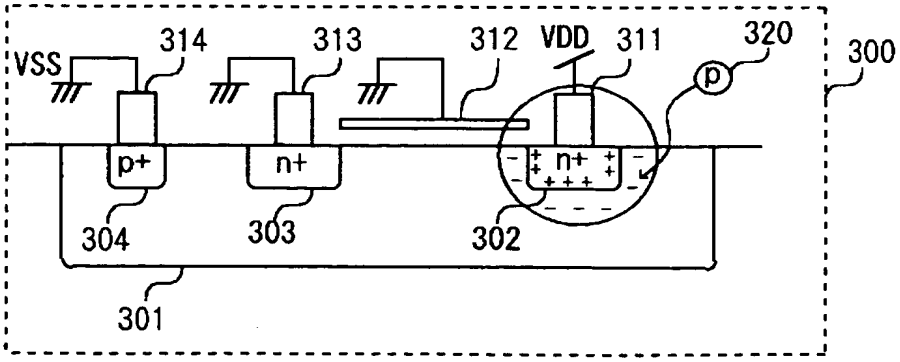
【図２】

図２



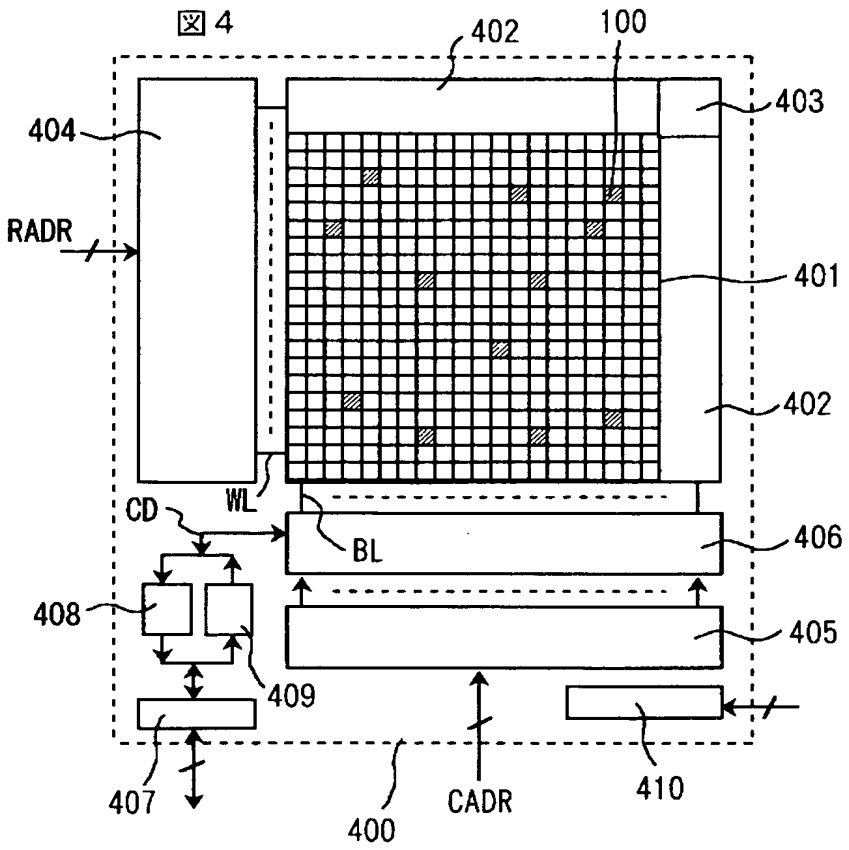
【図３】

図３



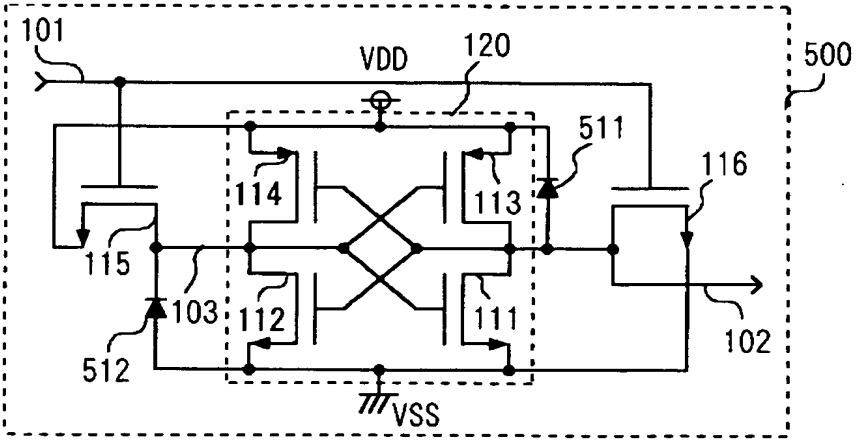
【図４】

図４


402
100
403
404
RADR
401
402
CD
WL
BL
406
408
405
409
407
400
CADR
410

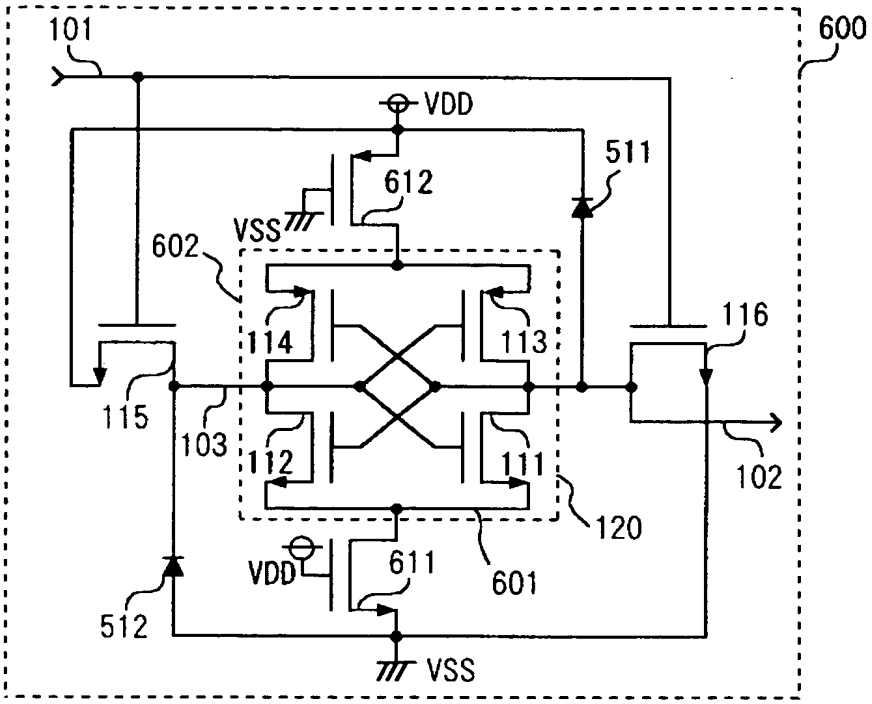
【図５】

図５


101
VDD
120
500
511
116
114
113
115
103
112
111
102
512
VSS

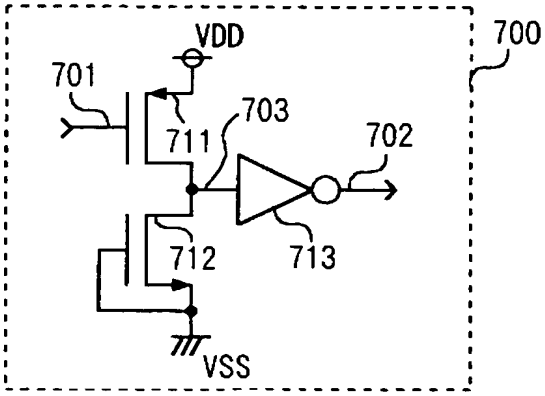
【図６】

図６


101
600
VDD
511
612
VSS
602
114
113
116
115
103
112
111
102
120
VDD
611
601
512
VSS

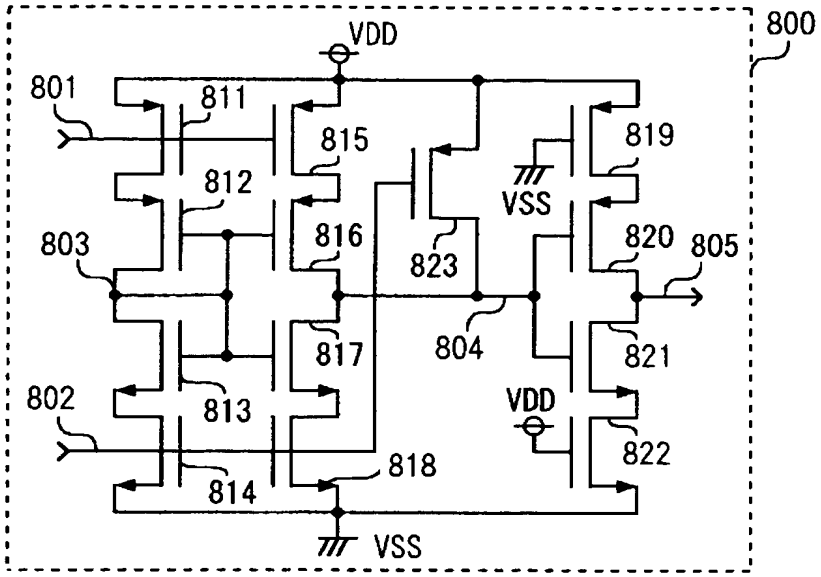
【図７】

図７


VDD
700
701
703
711
702
712
713
VSS

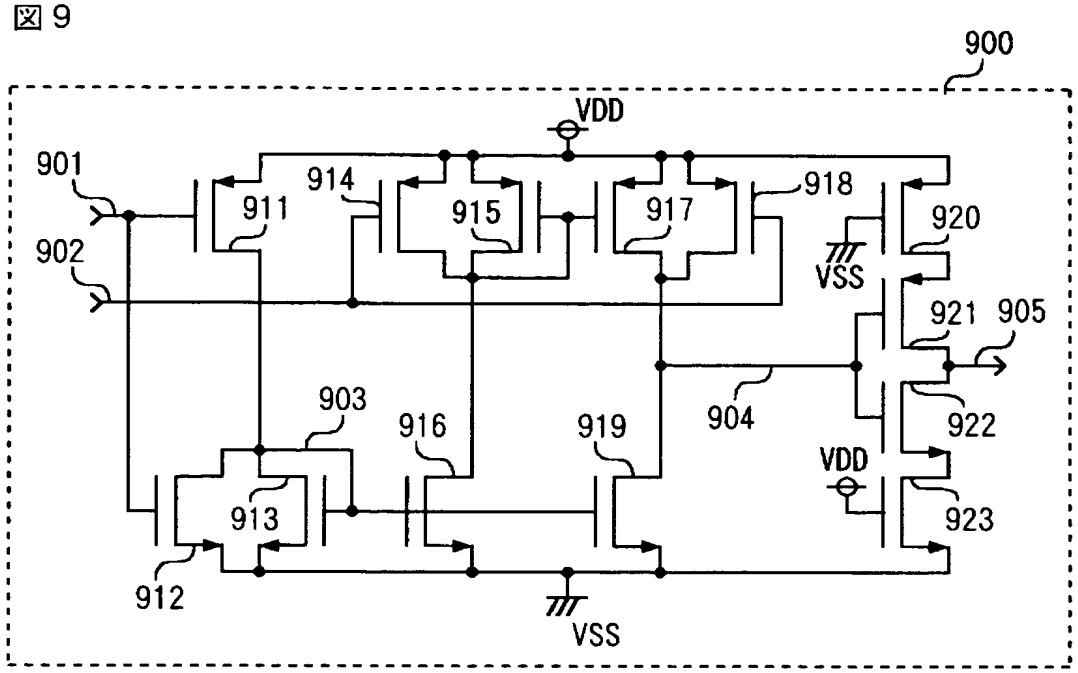
【図８】

図８


800
VDD
801
811
815
819
812
VSS
803
816
823
820
805
817
804
821
802
813
VDD
822
818
814
VSS

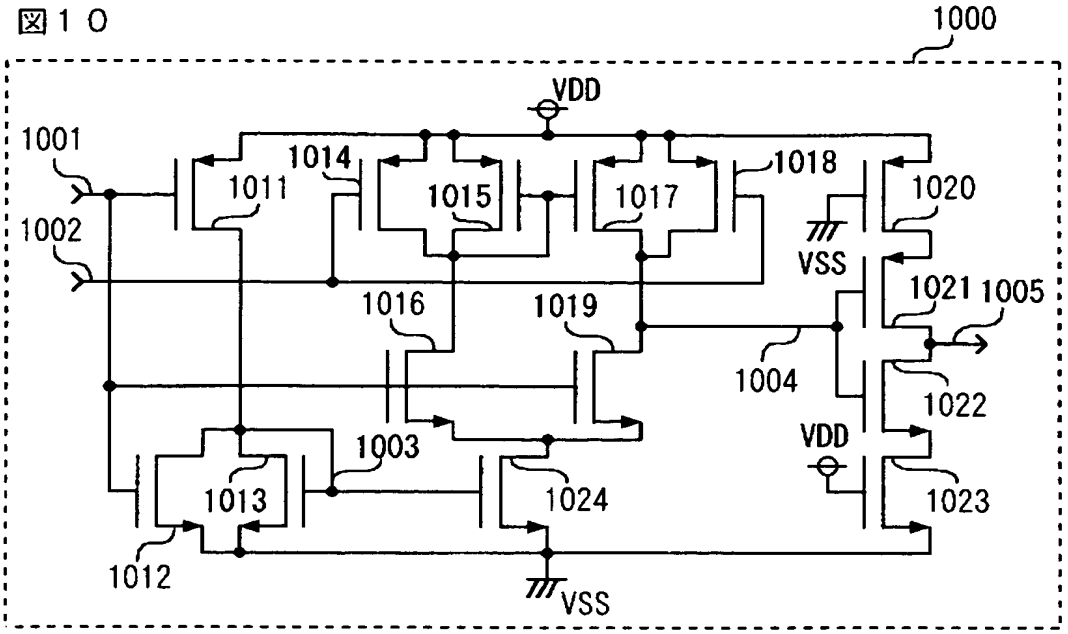
【図９】

図９


900
VDD
901
914
918
911
915
917
920
902
VSS
921
905
903
916
919
904
922
VDD
913
923
912
VSS

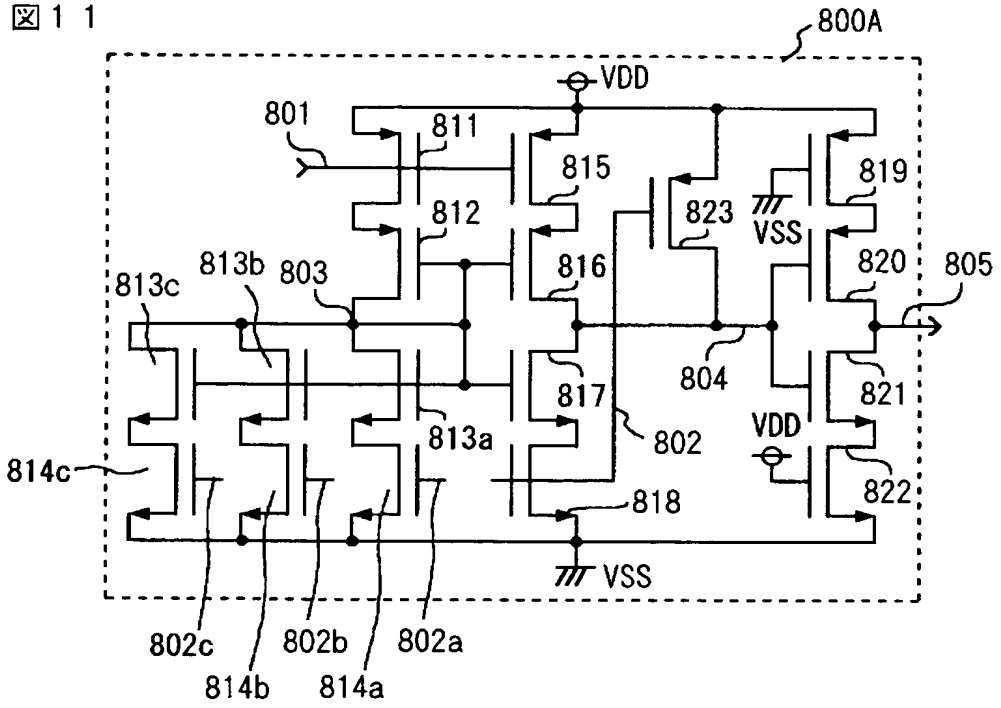
【図１０】

図１０



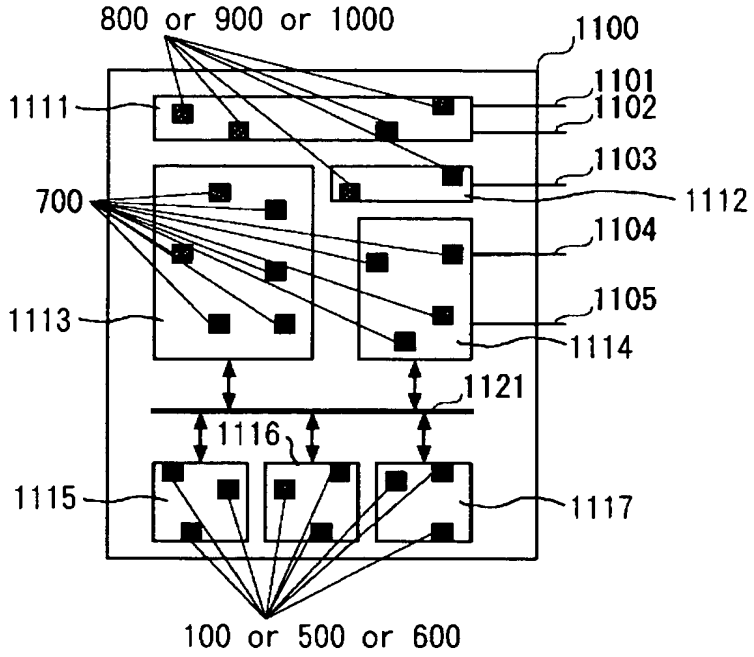
【図１１】

図１１



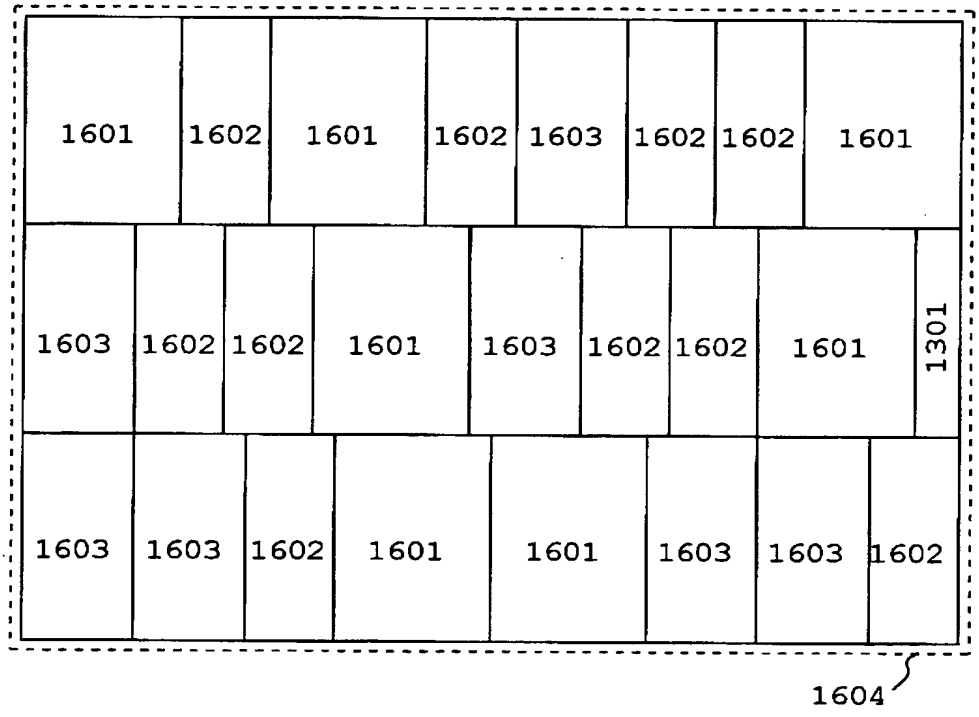
【図１２】

図１２

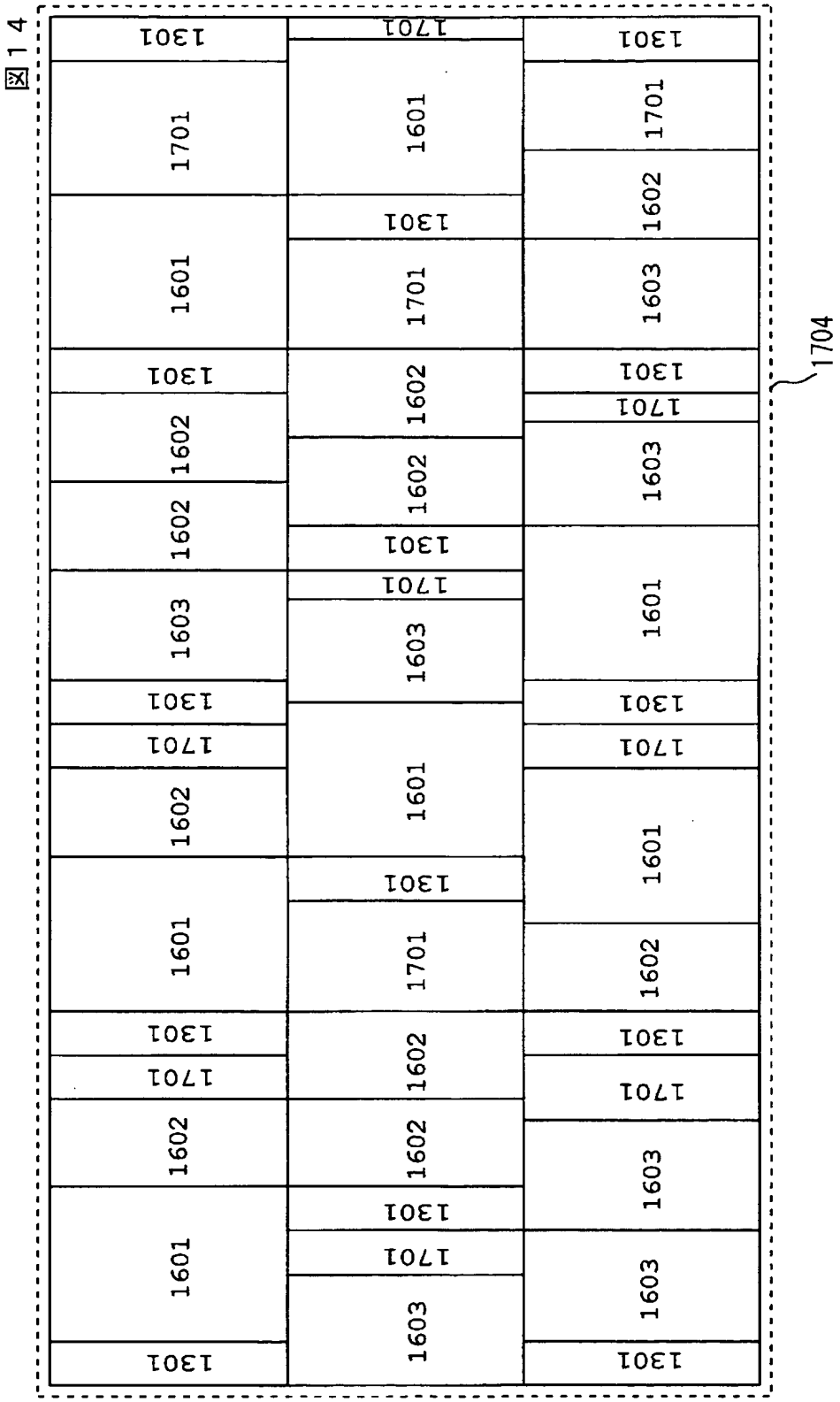


【図１３】

図１３

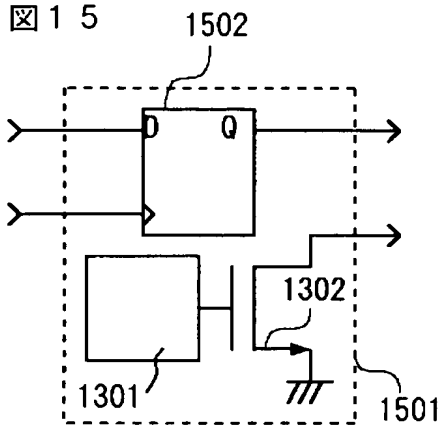


【図１４】



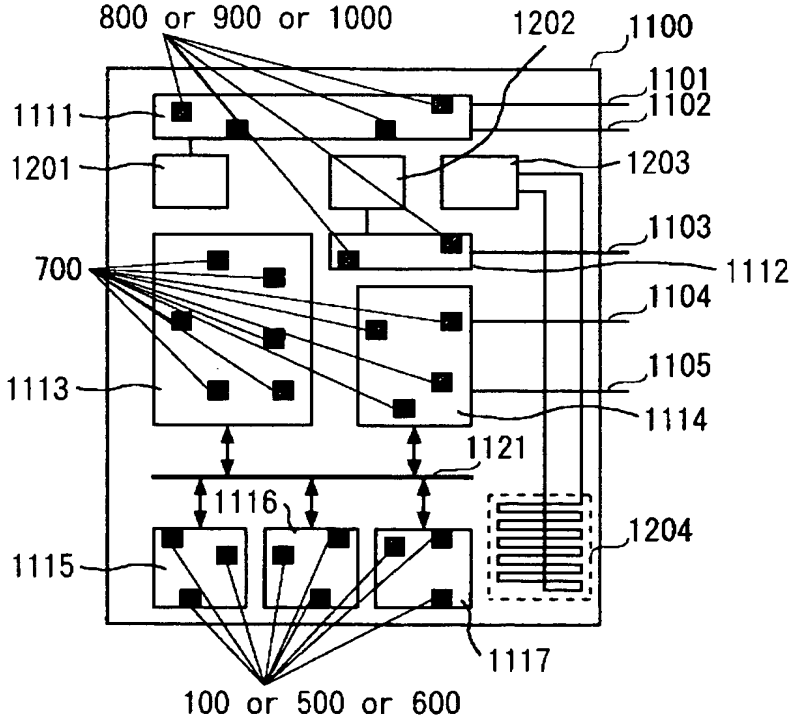
【図１５】

図１５



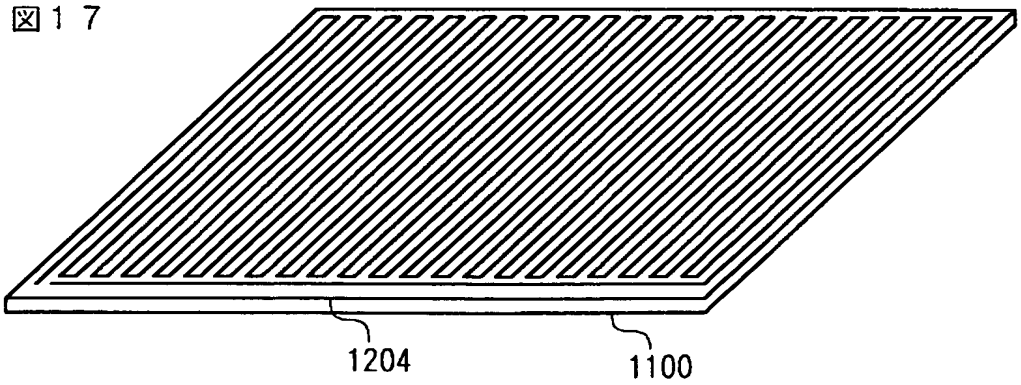
【図１６】

図１６



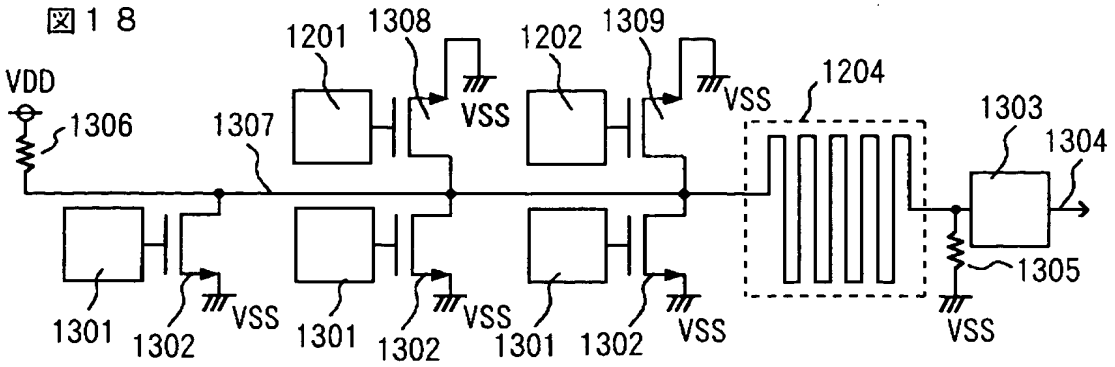
【図１７】

図１７



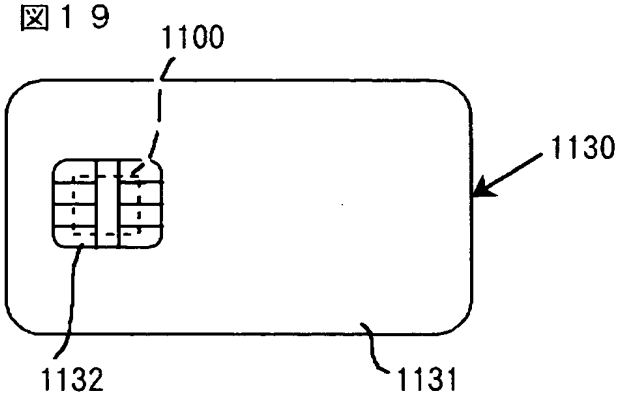
【図１８】

図１８



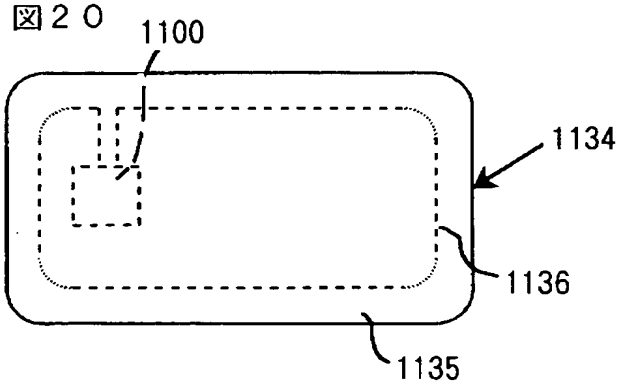
【図１９】

図１９



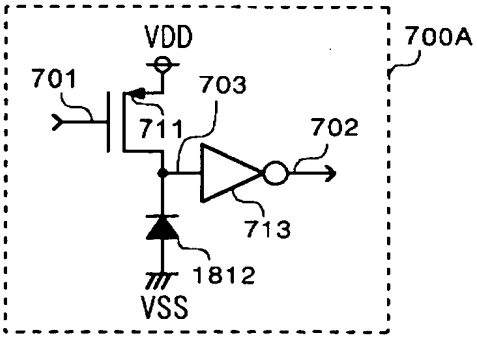
【図２０】

図２０



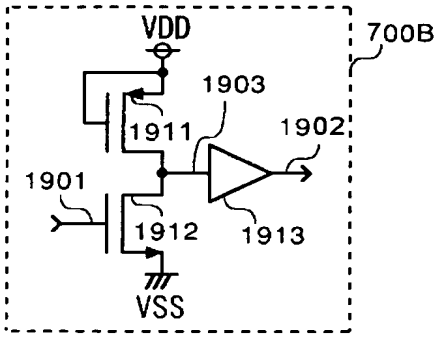
【図２１】

図２１



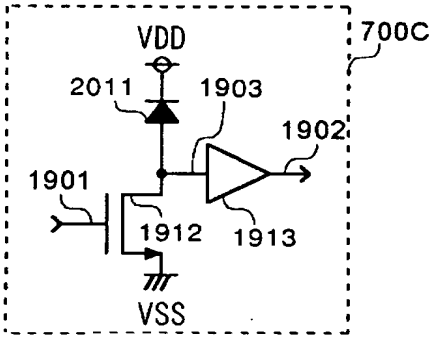
【図２２】

図２２



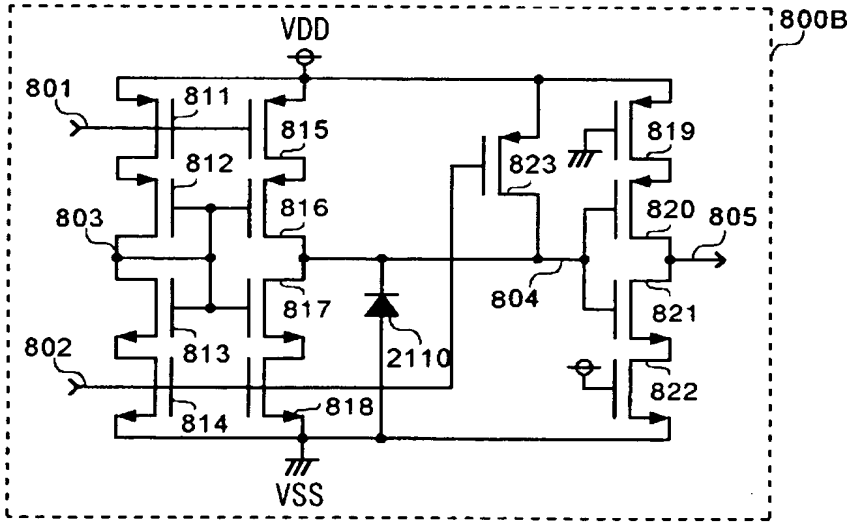
【図２３】

図２３



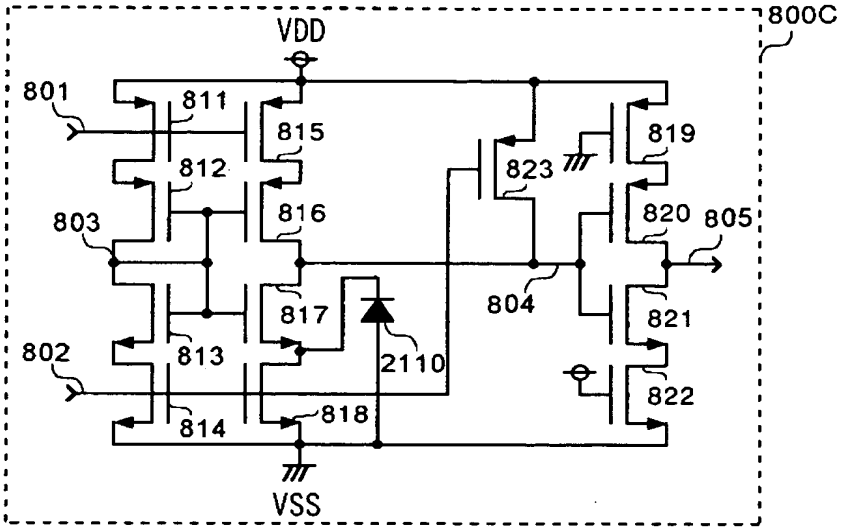
【図２４】

図２４



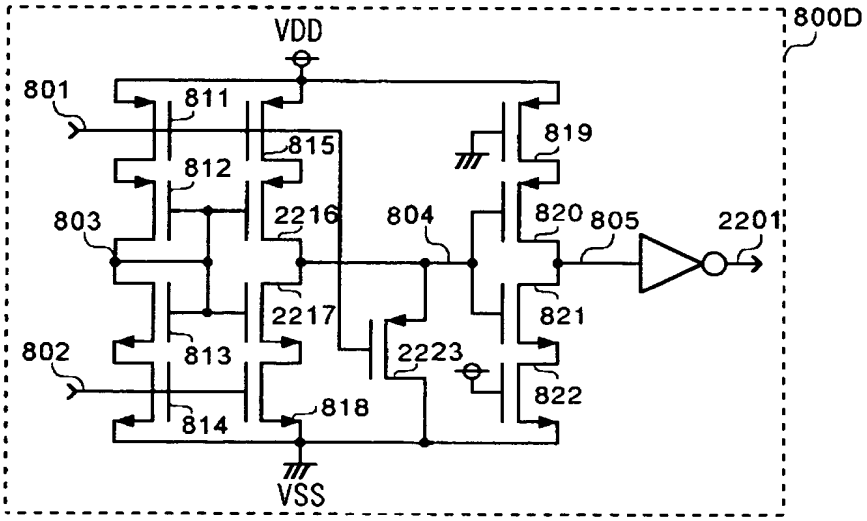
【図２５】

図２５



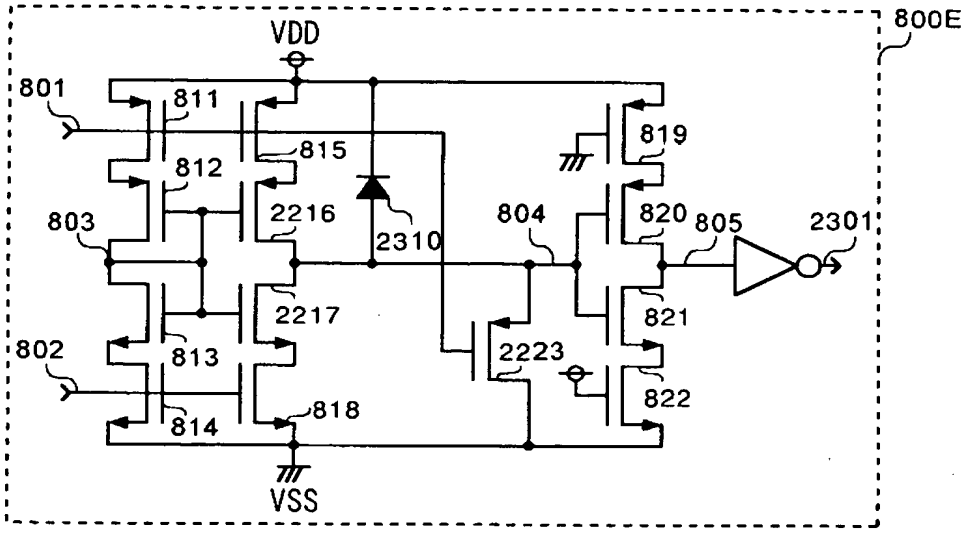
【図２６】

図２６



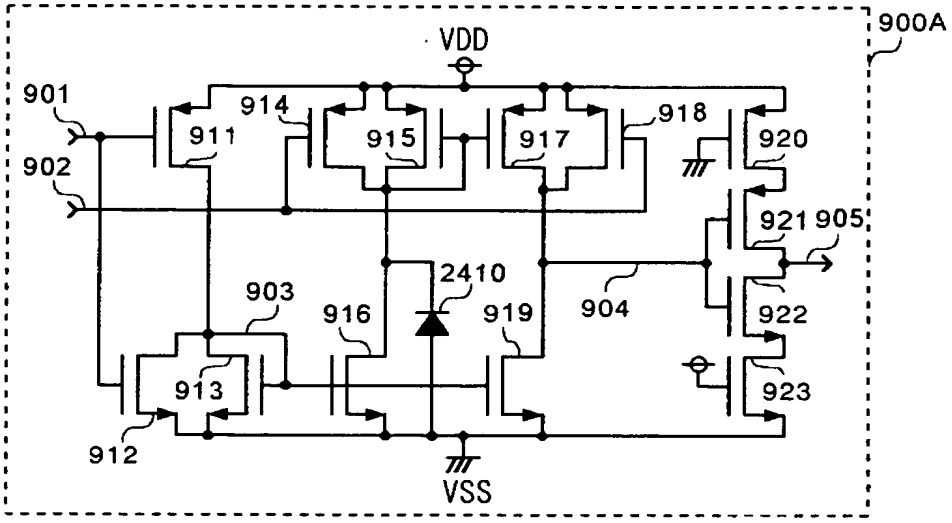
【図２７】

図２７



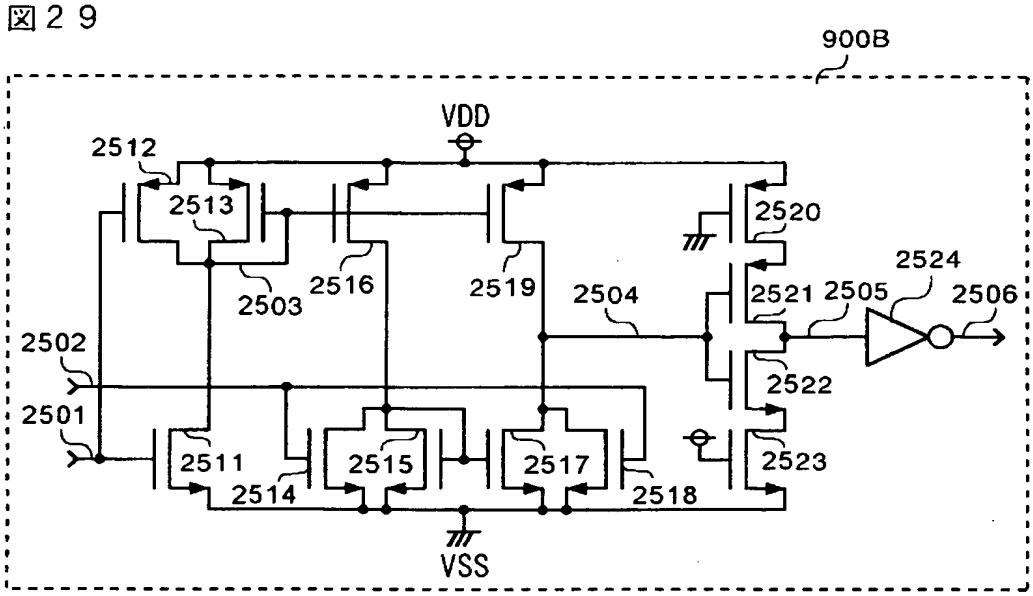
【図２８】

図２８



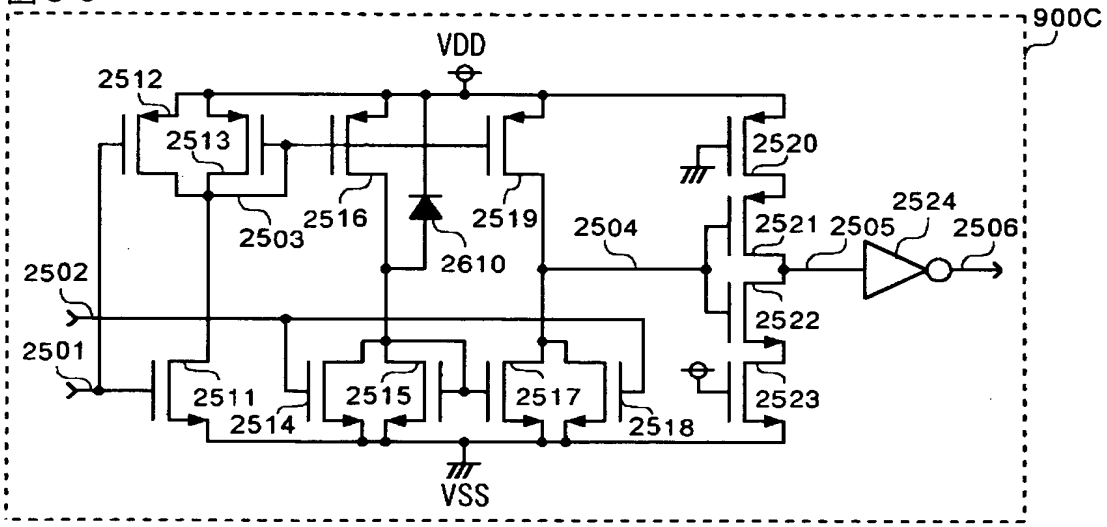
【図２９】

図２９



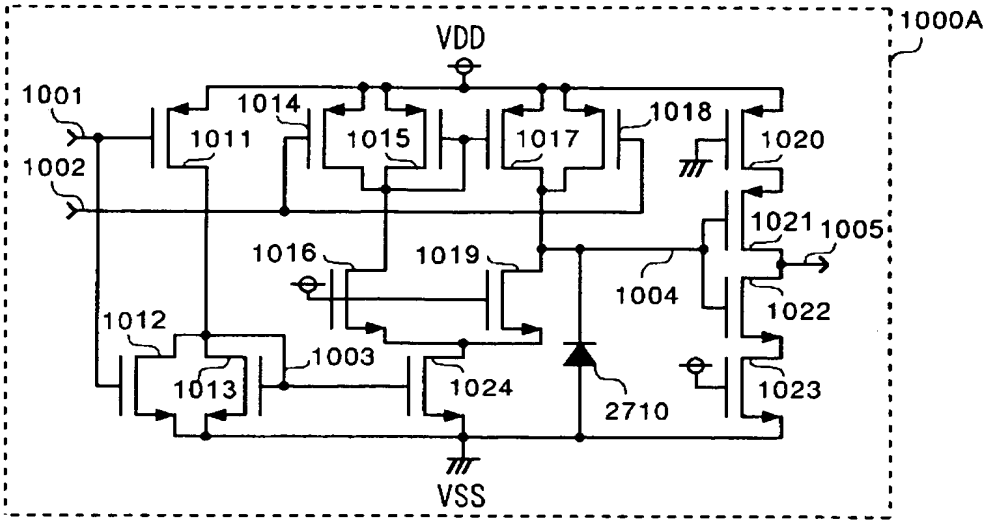
【図３０】

図３０



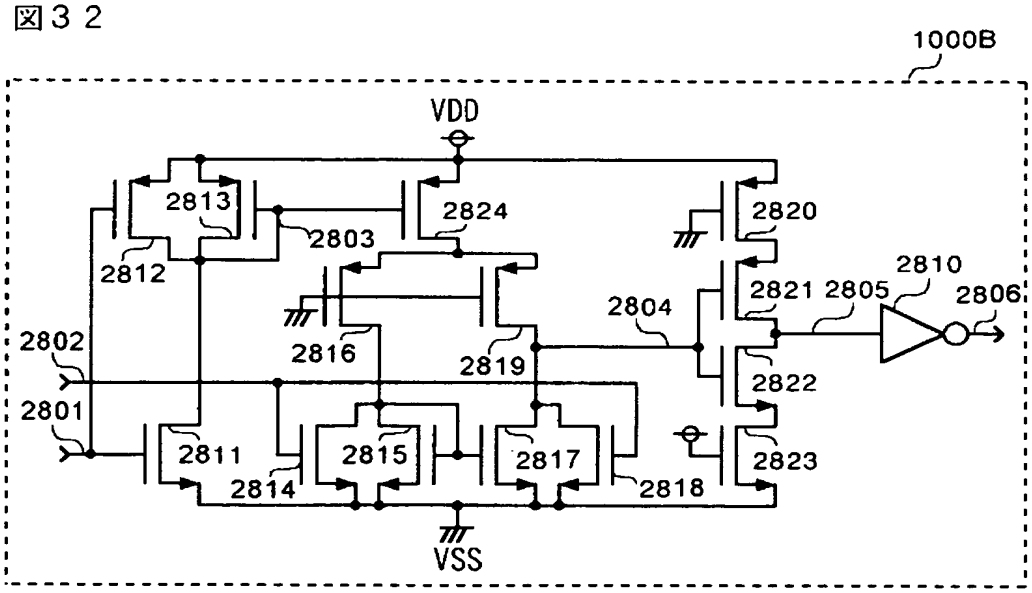
【図３１】

図３１



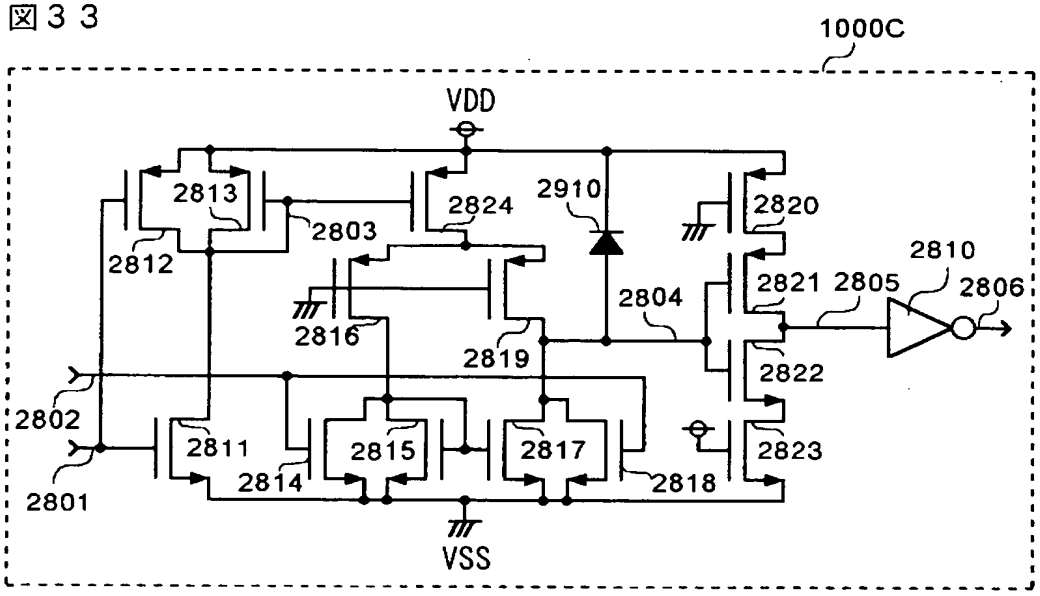
【図３２】

図３２



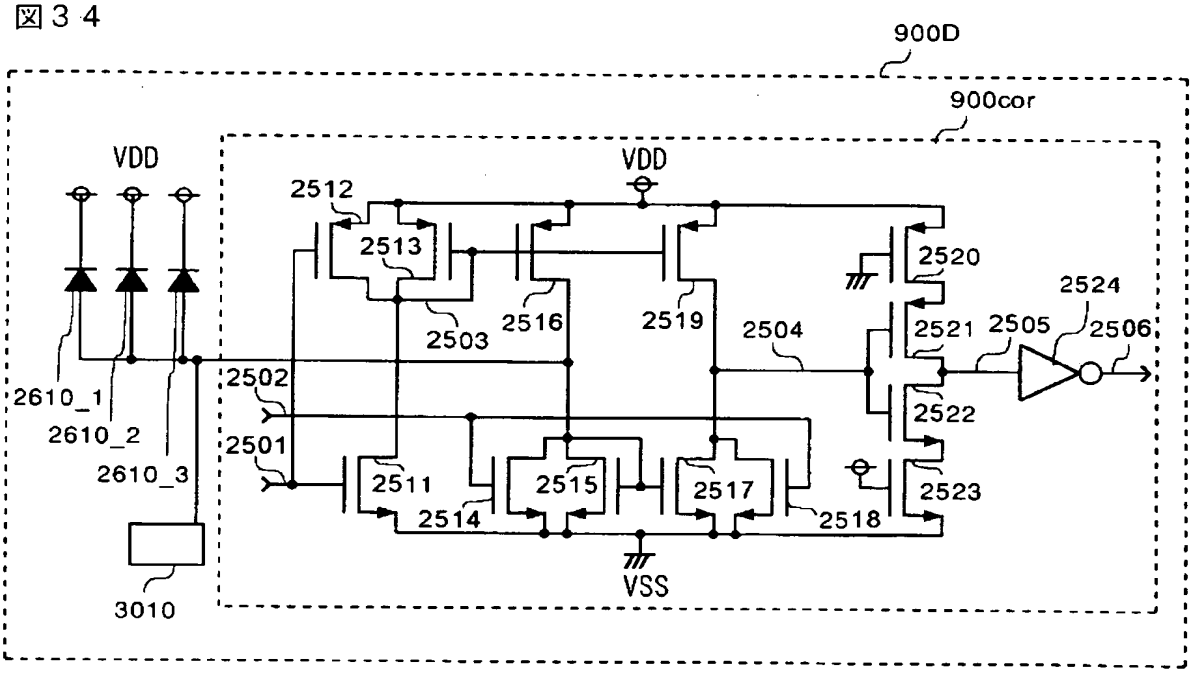
【図３３】

図３３



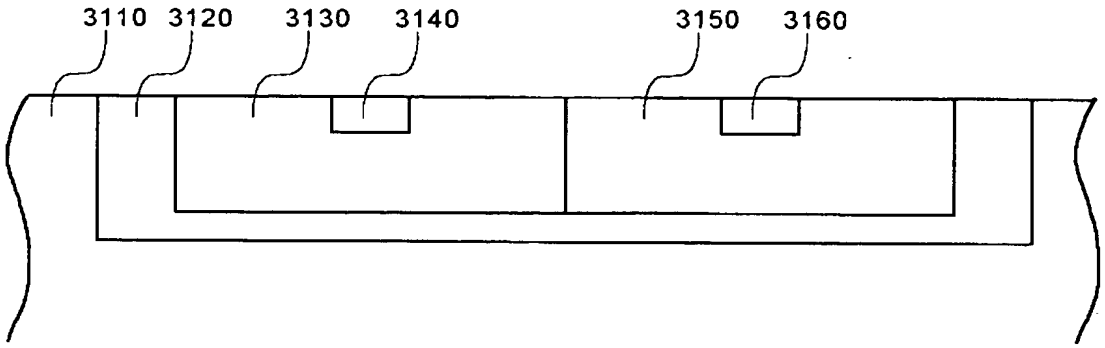
【図３４】

図３４



【図３５】

図３５



【書類名】要約書
【要約】
【課題】　光照射により積極的に誤動作を誘発して機密保護情報を不正に獲得するというカードハッキングに対する防御が可能な半導体集積回路を提供する。
【解決手段】　ＩＣカードマイコンなどの半導体集積回路に対し、標準的なロジックプロセスで構成され、他の回路と区別がつきにくく、待機電力が極めて小さい、光ディテクタを搭載する。光ディテクタは例えば、初期化動作でスタティックラッチ（１２０）に第１状態を保持し、第１状態のスタティックラッチを構成する非導通状態の半導体素子（１１２，１１３）に光が照射されて第２状態に反転する構成を備え、光ディテクタをメモリセルアレイに複数個配置する。スタティックラッチ型の光ディテクタをメモリアレイに組み込むことで、それを目立たずに配置することができる。光の照射によるリバースエンジニアリングを効果的に防ぐことができる。
【選択図】　図１

特願２００３－３２３９２３

出　願　人　履　歴　情　報

識別番号　　［５０３１２１１０３］

１．変更年月日　　２００３年　４月　１日
［変更理由］　　新規登録
住　所　　東京都千代田区丸の内二丁目４番１号
氏　名　　株式会社ルネサステクノロジ